

“信息光子技术” 重点专项 2022 年度项目申报指南

为落实“十四五”期间国家科技创新有关部署安排，国家重点研发计划启动实施“信息光子技术”重点专项。根据本重点专项实施方案的部署，现提出 2022 年度项目申报指南。

本专项总体目标是：积极抢抓新型光通信、光计算与存储、光显示与交互等信息光子技术发展的机遇，重点研发相关核心芯片与器件，支撑通信网络、高性能计算、物联网等应用领域的快速发展，满足国家战略需求。专项实施周期为 5 年（2021—2025 年）。

2022 年度指南部署坚持需求导向、问题导向和应用导向，拟围绕光通信器件及集成、光计算与存储、光显示与交互三个技术方向，按照基础前沿、共性关键技术、青年科学家项目三个层面，启动 27 项指南任务，拟安排国拨经费 3.59 亿元。其中，青年科学家项目拟安排国拨经费 2800 万元，除指南任务 1.16 和 1.17 各 500 万元外，其余项目均为 300 万元。共性关键技术类项目配套经费与国拨经费比例不低于 1:1。

项目统一按指南二级标题（如 1.1）的研究方向申报。申报项

目的研究内容必须涵盖二级标题下指南所列的全部研究内容和考核指标，实施周期不超过3年。基础前沿类项目下设课题不超过4个，项目参与单位总数不超过6家；共性关键技术类项目下设课题数不超过5个，项目参与单位总数不超过10家。项目设1名项目负责人，项目中每个课题设1名课题负责人。

青年科学家项目不再下设课题，项目所含参与单位总数不超过3家。项目设1名项目负责人，项目负责人年龄要求，男性应为1984年1月1日后出生，女性应为1982年1月1日后出生。原则上团队其他参与人员年龄要求同上。

除指南中特殊说明外，每个指南任务拟支持项目数为1~2项。

“拟支持项目数为1~2项”是指：在同一研究方向下，当出现申报项目评审结果前两位评价相近、技术路线明显不同的情况时，可同时支持2项。2个项目将采取分两个阶段支持的方式，第一阶段完成后将对2个项目执行情况进行评估，根据评估结果确定后续支持方式。

1. 光通信器件及集成技术

1.1 硅基异质光子集成关键工艺及集成技术开发（共性关键技术类）

研究内容：针对单一材料光芯片性能受限且异质光子集成工艺平台欠缺的现状，建立硅基异质光子集成工艺平台，提供新型

光电集成芯片的研发和工艺验证能力。重点研究超低损耗、超高集成密度氮化硅波导工艺及其与硅波导的高效耦合技术，以及氮化硅波导器件与 III-V 族激光器的高效耦合技术；研究与 CMOS 工艺兼容性良好的低损耗氮化硅 3D 波导制备工艺；开发 III-V 族激光器和硅光波导阵列的晶圆级集成（键合方式或直接外延方式）和高效耦合工艺；开发与硅光波导集成的薄膜铌酸锂或电光聚合物调制器工艺；研究多材料体系下异质集成器件的多场耦合仿真技术；开发标准化的硅基异质光子集成芯片的射频封装技术；探索硅基单片光电集成工艺。

考核指标：建立硅基异质集成光子芯片工艺研发平台，并开发出一系列高性能硅基异质集成光器件和芯片。具体指标包括：

（1）在低损耗光通信波长窗口，典型硅光波导损耗 $\leq 1.5\text{dB/cm}$ ，在晶圆上的良率 $\geq 80\%$ 。（2）在低损耗光通信波长窗口，开发绝缘体上硅（SOI）与氮化硅波导集成工艺，氮化硅波导损耗 $\leq 0.1\text{dB/cm}$ ，与硅波导层间耦合损耗 $\leq 0.1\text{dB}$ ，在晶圆上的良率 $\geq 80\%$ ；研制出与 SOI 集成的氮化硅阵列波导光栅波分复用器件，8 通道，通道频率间隔 100GHz，插入损耗 $\leq 2.5\text{dB}$ ，通道间串扰 $\leq -20\text{dB}$ 。（3）实现 III-V 族激光器与多路硅光波导阵列的晶圆级高效耦合和集成，通道数 ≥ 8 ，单路耦合损耗 $\leq 2\text{dB}$ ；激光器耦合至硅波导的光功率 $\geq 1\text{mW}$ ，边模抑制比 $\geq 35\text{dB}$ 。（4）研制与硅光波

导集成的薄膜铌酸锂或电光聚合物（电光系数 $\geq 50\text{pm/V}$ ）高速电光调制器，带宽 $\geq 60\text{GHz}$ ， $V_{\pi} \leq 3\text{V}$ ，片上插损 $\leq 3\text{dB}$ 。（5）开发国产化硅基异质器件仿真设计工具，可实现不少于 3 种材料体系（氮化硅、III-V 族、薄膜铌酸锂、聚合物）的硅基异质器件性能仿真，仿真设计结果与本项目所制备器件的实测性能偏差 $\leq 10\%$ ，结合工艺线建立工艺开发套件（PDK）。（6）开发标准化的硅基异质光子集成芯片的射频封装技术，封装器件带宽 $\geq 50\text{GHz}$ 。（7）基于本项目所开发工艺，研制出一款硅基光电单片集成样品，并完成动态功能演示。申请发明专利 30 项以上，技术就绪度不低于 7 级，相关行业技术标准或 MSA 提案不少于 5 项，本项目所开发工艺的用户数不少于 30 家（以加工合同和加工费拨付凭证为准），支撑 3 项以上“信息光子技术”专项项目的研发，为国内行业骨干企业和设计单位提供流片服务。

1.2 III-V 族光子集成关键工艺及集成技术开发（共性关键技术类）

研究内容：针对当前欠缺 III-V 族光子集成芯片加工工艺平台的问题，建设开放共享的 III-V 族光子集成工艺平台。研究高质量外延、二次外延和选区外延技术，建设和完善 III-V 族光电器件工艺线；研究无源波导的传输损耗和偏振等问题，研制偏振分束、偏振旋转、光混频器等各类无源器件；研究集成化激光器

的波长调谐与稳定性控制技术，研制集成化窄线宽激光器；研制 III-V 族激光器、调制器和探测器的光子集成芯片；研究新型中介层、电镀和倒装键合等异构集成技术，形成高密度封装方案。支撑国家重点研发任务的实施，为我国关键科研院所和企业提供流片服务，为产业界和学术界提供开放共享的芯片加工平台。

考核指标：建设 III-V 族光子集成芯片加工工艺平台，实现稳定的工艺流程，对社会开放共享。具体考核指标包括：（1）开发出 III-V 族波导的标准化制备方法，加工精度达到 40nm，波导宽度误差 $\leq 20\text{nm}$ ，刻蚀深度误差 $\leq 10\text{nm}$ ，波导传输损耗 $\leq 1\text{dB/cm}$ ，工艺可重复性优于 90%，外延缺陷密度 $\leq 10\text{cm}^{-2}$ 。基于 III-V 族波导研制 3dB 耦合器、偏振分束器、偏振旋转器、光混频器等无源器件，3dB 耦合器损耗 $\leq 1.0\text{dB}$ ，偏振分束器消光比 $\geq 25\text{dB}$ ，偏振旋转器损耗 $\leq 3.0\text{dB}$ ，偏振消光比 $\geq 10\text{dB}$ ，90 度光混频器相位精度优于 ± 4 度，建立工艺开发套件（PDK）。（2）研制出集成化窄线宽激光器，线宽 $\leq 200\text{kHz}$ ，输出功率 $\geq 10\text{mW}@150\text{mA}$ 。研制出集成化可调谐激光器，调谐范围 $\geq 5\text{nm}$ ，输出功率 $\geq 7\text{mW}@150\text{mA}$ 。研制出高稳频激光器，稳定度标准方差 $\leq 5 \times 10^{-8}@100\text{s}$ ，输出功率 $\geq 2\text{mW}@150\text{mA}$ 。（3）开发出 III-V 族调制器和探测器的标准结构与工艺参数，研制出 III-V 族调制器，3dB 带宽 $\geq 50\text{GHz}$ ，半波电压 $\leq 1.5\text{V}$ ，损耗 $\leq 1.0\text{dB}$ 。研制

出 III-V 族平衡探测器，3dB 带宽 $\geq 50\text{GHz}$ ，暗电流 $\leq 10\text{nA}$ ，响应度 $\geq 0.8\text{A/W}$ ，平衡探测器阵列内响应度一致性优于 $\pm 2.0\%$ 。(4) 开发标准化的 III-V 族有源/无源器件的仿真设计软件，仿真设计结果与本项目所制备器件的实测性能偏差 $\leq 10\%$ 。(5) 研制出 400Gb/s III-V 族光子集成收发芯片。(6) 开发标准化的 III-V 族光子集成芯片的射频封装技术，封装器件带宽 $\geq 50\text{GHz}$ 。申请发明专利 30 项以上，技术就绪度不低于 7 级，相关行业技术标准或 MSA 提案不少于 5 项，平台外单位的用户数不少于 30 家（以加工合同和加工费拨付凭证为准），支撑 3 项以上“信息光子技术”专项项目的研发，为国内行业骨干企业和设计单位提供流片服务。

1.3 光电融合集成基础理论与关键技术研究（基础前沿类）

研究内容：面向大规模光电融合集成发展趋势，研究光电融合集成基础理论与关键技术。研究单片光电集成芯片的光电一体化建模理论；针对光电一体化协同设计难题，研究单片集成光电子器件和微电子电路融合新架构，以及电-光-电全链路仿真设计新方法；研究微电子-光电子异构集成工艺的物理基础，开发微电子-光电子集成工艺，攻克气相沉积低损波导和器件集成技术；研制高速硅光调制器、探测器及与微电子驱动芯片、跨阻放大器（TIA）芯片等多种功能元件的单片融合集成技术；研制光电混合闭环反馈控制和单片光电融合集成收发芯片。

考核指标：研制出单片光电融合集成芯片，掌握基础理论和关键技术。具体考核指标包括：（1）完成光电融合一体化设计和建模，开发仿真软件 1 套并获得软件著作权。（2）气相沉积的硅薄膜材料的光学传输损耗 $\leq 0.1\text{dB/cm}$ ，电子迁移率 $\geq 100\text{cm}^2/(\text{V}\cdot\text{s})$ ，工艺温度 $\leq 450^\circ\text{C}$ ，波导光传输损耗 $\leq 1\text{dB/cm}$ 。（3）研制出低功耗高密度 8 通道光收发芯片，互连速率 $\geq 1\text{Tb/s}$ ，实现高速硅光调制器、探测器等多种功能元件及与微电子驱动芯片、TIA 芯片、自动偏振控制和波长锁定电路的融合集成，每个通道发射波特率 $\geq 50\text{GBaud}$ ，发射机功耗 $\leq 5\text{ pJ/bit}$ ，调制器带宽密度 $\geq 1\text{Tbps/mm}^2$ 。实现典型示范应用，申请发明专利 50 项以上，相关行业技术标准或 MSA 提案不少于 1 项，技术就绪度不低于 4 级。

1.4 大动态超宽带微波光子器件与集成（基础前沿类）

研究内容：面向未来卫星通信、宽带移动通信、航天遥感测控等应用，开展大动态、超宽带、高线性的微波光子收发器件及相关集成技术研究。开展多材料体系微波光子集成芯片全流程设计环境、高效率高精度多物理场仿真建模以及光电联合仿真设计技术研究。研制出大动态、超宽带、阵列化光收发芯片，包括高功率低噪声激光器、阵列化高线性电光调制器、超高精细光学幅相调控器件和高饱和光功率光电探测器等核心微波光子器件。研

究微波光子阵列芯片的封装集成技术及系统应用，研制基于集成微波光子芯片的同时多波束相控阵系统样机。

考核指标：研制出高性能微波光子阵列芯片与小型化功能模块。具体指标包括：（1）微波光子多材料体系仿真设计平台：支持绝缘体上硅、氮化硅、二氧化硅、薄膜铌酸锂和铟磷基等 5 种以上材料体系，支持光电芯片器件设计、链路分析、版图绘制、工艺模拟全流程设计，支持仿真器件规模 ≥ 500 个，器件模型误差 $\leq 5\%$ ，仿真结果偏差 $\leq 5\%$ ，微波光子核心元器件 IP 数 ≥ 30 个，支持工具参数化调用。（2）高功率低噪声激光器：输出光功率 $\geq 200\text{mW}$ ，边模抑制比 $\geq 35\text{dB}$ ，相对强度噪声 $\leq -160\text{dBc/Hz}$ 。（3）超宽带电光调制器阵列芯片：3dB 带宽 $\geq 70\text{GHz}$ 、射频半波电压 $\leq 3\text{V}$ 、通道数 ≥ 8 。（4）光电探测器阵列芯片：3dB 带宽 $\geq 70\text{GHz}$ 、饱和光功率 $\geq 13\text{dBm}$ 、响应度 $\geq 0.6\text{A/W}$ 、通道数 ≥ 8 。（5）微波光子可重构光芯片：片上可编程单元数 ≥ 100 ，消光比 $\geq 30\text{dB}$ ，具备灵活可重构能力，实现路由、功分、滤波、延时等功能。（6）研制基于微波光子集成芯片的同时多波束演示系统一套，阵列规模 $\geq 4\times 4$ ，瞬时带宽 $\geq 4\text{GHz}$ ，波束扫描范围 $\geq 90^\circ\times 90^\circ$ ，波束旁瓣抑制比 $\geq 15\text{dB}$ 。实现典型示范应用，申请发明专利 20 项以上，相关行业技术标准或 MSA 提案不少于 1 项，技术就绪度不低于 4 级。

1.5 可见光通信核心芯片与技术（基础前沿类）

研究内容：面向未来无线通信拓展新频谱资源需求，研究自主知识产权的高速泛光通信系列单元器件、集成阵列器件和单芯片多功能集成器件。研究可见光发射单元器件及其材料和结构，包括非相干和相干两类光源，进行集成化设计和制备；研究可见光波段外调制器，提升发射模块的调制效率和响应速度；研究可见光接收器件及其新材料和结构，设计出在可见光波段具有高外量子效率和高响应度的材料，并进行接收单元器件的制备；研究可见光接收集成阵列，设计和实现具有柔性曲面的接收器，增大接收视场角，提升接收灵敏度；搭建可见光通信系统测试平台并进行示范应用。

考核指标：（1）发射端非相干光源的绿光和黄光的发光效率分别达到 50%和 30%，相干光源在 450nm 波长的电光转化效率达到 30%，两类光源在 450nm 波长时的输出光功率均达到 10W 以上。非相干光源预均衡后的 3dB 调制带宽达到 500MHz，相干光源预均衡后的 3dB 调制带宽达到 5GHz。（2）高速高灵敏可见光通信接收氮化镓单元器件的响应度达到 300mA/W，研制出规模达到 3×3 的阵列芯片，速率不低于 10Gbps。（3）可见光通信收发模块与信号处理模块的频谱效率不低于 7bit/s/Hz，集成接收模块的响应时间不大于 0.1 微秒。（4）高速可见光通信离线测试系统在通信距离大于 1m 时，传输 8 路波长，实现总共 100Gbps 的通信

速率，传输误码率小于 $3.8\text{e-}3$ ；高速可见光实时通信测试系统的单波长通信速率不小于 10Gbps 。（5）实现不低于 1000 个用户的商用示范，并探索在国家重大工程中的定制化应用。申请发明专利 ≥ 30 项，相关行业技术标准或 MSA 提案不少于 2 项，技术就绪度不低于 4 级。

1.6 城域单载波 1.2Tb/s 相干光传输集成芯片与模块(共性关键技术类)

研究内容：面向城域高速大容量通信应用需求，研究超高速集成相位调制器和相干接收机，研究支持单通道 128Gbaud 的电光调制器及驱动器、光电探测器及跨阻放大器的集成技术；研究高波特率、高频谱效率的先进调制及解调算法；研究高速信号的光电芯片间互连技术，光芯片和电芯片协同设计、制备与集成封装技术；研制单载波 1.2Tb/s 相干光传输集成芯片与模块，并在城域光通信网中实现示范应用。

考核指标：（1）工作波长覆盖 C 波段，电光调制器芯片速率 $\geq 128\text{Gbaud}$ ，静态消光比 $\geq 30\text{dB}$ ，静态插损 $\leq 8\text{dB}$ 。（2）光电探测器芯片速率 $\geq 128\text{Gbaud}$ ，混频器相位误差 $\leq \pm 5^\circ$ ，相干接收芯片的共模抑制比 $\geq 30\text{dB}$ 。（3）电光调制器芯片和驱动器芯片共封装后带宽 $\geq 65\text{GHz}$ ，光电探测器芯片和跨阻放大器芯片共封装后带宽 $\geq 65\text{GHz}$ 。（4） 1.2Tb/s 相干光收发集成模块，单载波传输净荷速率

$\geq 1.2\text{Tb/s}$ ，传输距离 $\geq 80\text{km}$ ；实现 1.2Tb/s 相干光模块在城域光通信网络中的示范应用。申请不少于 20 项发明专利，相关行业技术标准或 MSA 提案不少于 2 项，技术就绪度不低于 5 级。

1.7 跨波段可调谐激光发射与调制接收集成芯片技术（共性关键技术类）

研究内容：面向跨波段大容量传输的应用需求，研究新型 C+L 波段可调谐窄线宽单片集成激光器芯片，研究用于激光器的宽范围调谐和高精度控制技术，研究 C+L 波段可调谐激光器的小型化封装技术；研究 C+L 波段硅基相干光收发集成芯片，包括高速调制器阵列、高精度 90 度混频、宽带探测器阵列；研究高速驱动器芯片和跨阻放大器芯片与光芯片的光电共封装技术，研究收发集成器件的控制技术；研制符合商用标准的小型化可插拔模块，实现典型示范应用。

考核指标：（1）研制出 C 波段（ $1529.16\sim 1567.13\text{nm}$ ）和 L 波段（ $1570.01\sim 1610.06\text{nm}$ ）的可调谐激光器集成芯片，洛伦兹线宽 $\leq 300\text{kHz}$ ，波长锁定精度 $\text{ITU}\pm 1.5\text{GHz}$ ，并实现 C+L 波段可调谐激光器的小型化混合集成封装。（2）C+L 波段 400Gb/s 单片集成相干光收发芯片，工作波长范围覆盖 C 波段和 L 波段，调制器静态消光比 $\geq 22\text{dB}$ ，混频器相位误差 $\leq \pm 5^\circ$ ，探测器响应度 $\geq 0.6\text{A/W}$ ，偏振隔离度 $\geq 30\text{dB}$ ，芯片 3dB 带宽 $\geq 35\text{GHz}$ ，通道波特

率 $\geq 64\text{Gbaud}$ ，波长切换/锁定时间 $\leq 5\text{s}$ ，激光器功耗 $\leq 2.5\text{W}$ 。完成光收发模块光电共封装并实现 C+L 波段 $\geq 400\text{km}$ 的系统示范应用，申请不少于 20 项发明专利，相关行业技术标准或 MSA 提案不少于 2 项，技术就绪度不低于 6 级。

1.8 400GE 短距离多模光互连芯片与模块(共性关键技术类)

研究内容：面向高性能计算或数据中心高速光互连应用需求，研究高速率面发射激光器（VCSEL）芯片设计和制备工艺技术；研究高速率、高响应度、低暗电流的面接收探测器芯片设计与制备工艺技术；研究多模 $4\times 100\text{Gb/s}$ 驱动控制电路技术；研究多模 $4\times 100\text{Gb/s}$ 跨阻放大及时钟恢复电路技术；研制多模 400Gb/s 芯片板载封装（COB）光收发模块技术与系统应用。

考核指标：（1）研制出工作波长 $840\sim 860\text{nm}$ 的 VCSEL 激光器芯片， 3dB 调制带宽 $\geq 27\text{GHz}$ ，阈值电流 $\leq 1.5\text{mA}$ ， $\text{RIN} \leq -145\text{dB/Hz}$ ，出光功率 $\geq 2\text{mW}$ ，斜效率 $\geq 0.3\text{mW/mA}$ 。（2）研制出接收波长达到 $830\sim 870\text{nm}$ 的探测器芯片， 3dB 探测带宽 $\geq 28\text{GHz}$ ，响应度 $\geq 0.5\text{A/W}$ ，暗电流 $\leq 10\text{nA}$ 。（3）实现 4 通道集成化光收发模块，封装尺寸和带宽密度符合 QSFP112 标准，传输速率达到 400Gb/s （ $4\times 106.25\text{Gb/s}$ ），发射机色散眼图闭合代价（TDECQ） $\leq 4.5\text{dB}$ ，总功耗 $\leq 10\text{W}$ ；实现多模光纤传输，传输距离 ≥ 70 米。实现多模 4 通道集成光收发模块在高性能计算或数

据中心中的典型示范应用，申请不少于 35 项发明专利，相关行业技术标准或 MSA 提案不少于 2 项，技术就绪度不低于 6 级。

1.9 2.5D/3D 共封装 1.6Tb/s 光电融合集成芯片与模块（共性关键技术类）

研究内容：面向高性能计算或数据中心高速光互连应用需求，研究 2.5D/3D 共封装 1.6Tb/s 光电融合集成芯片与模块技术。研究光电共封装技术，替代可插拔光模块产品形态，实现高能效、高密度的超大容量数据交换；研究小型化低偏压、低插损硅基电光调制器阵列芯片、硅基光电探测器阵列芯片、小型化低插损波分复用及解复用芯片，实现上述 3 种芯片的多路单片集成；研究多通道光纤阵列与硅光芯片的高效率耦合技术，研究多波长集成式光源技术；研制高集成度、低抖动和高能效的驱动和跨阻放大芯片；研究光电共封装的高密度互连和高精度组装技术，以及光电紧耦合的多场协同设计技术，实现高密度光电集成互连功能模块与系统验证。

考核指标：（1）电光调制器芯片单通道速率 $\geq 112\text{Gb/s}$ ，3dB 带宽 $\geq 40\text{GHz}$ ，驱动电压 $\leq 2.0\text{V}_{\text{pp}}$ ；光电探测器芯片单通道速率 $\geq 112\text{Gb/s}$ ，3dB 带宽 $\geq 40\text{GHz}$ ，响应度 $\geq 0.9\text{A/W}$ 。（2）多波长集成式光源器件，单波长输出光功率 $\geq 16\text{dBm}$ ，偏振消光比 $\geq 16\text{dB}$ ，光源中心波长为 $1271\pm 5.75\text{nm}$ ， $1291\pm 5.75\text{nm}$ ，

1311±5.75nm, 1331±5.75nm。(3) O 波段 4 通道 CWDM 波分复用/解复用器插损≤2.5dB, 通道间串扰≤-20dB, 光谱 3dB 带宽≥6nm; 驱动器芯片单通道速率≥112Gb/s, 跨阻放大器芯片单通道速率≥112Gb/s。(4) 高密度光电集成互连功能模块总工作速率≥1.6Tb/s, 单通道速率≥112Gb/s, 调制消光比(ER)≥3.5dB, 发射机色散眼图闭合代价(TDECQ)≤3.4dB, 通信容量密度≥50Gbps/mm², 光链路功耗≤10pJ/bit。完成无误码光互连功能验证, 单模光纤传输距离≥100m, 申请不少于 20 项发明专利, 相关行业技术标准或 MSA 提案不少于 2 项, 技术就绪度不低于 5 级。

1.10 高速相干空间激光通信光电子芯片(共性关键技术类)

研究内容: 面向更高带宽、更大容量的空间激光通信光子芯片的迫切需求, 研究高速相干通信发射芯片、高速相干通信接收芯片、光子器件混合集成设计与制备等关键技术, 解决空间激光通信终端体积过大、功耗过高、通信带宽不够的难题; 研究空间激光通信演示验证试验, 解决空间激光通信大数据采集、处理、传输、分发等关键核心问题, 在空间激光通信、智能成像等重大应用领域形成应用示范。

考核指标: (1) 高速相干通信发射芯片: 通信速率≥40Gbps, 激光线宽≤10kHz, 调制方式 QPSK, 激光波长 1550nm, 输出光

功率 $\geq 2\text{W}$ ，光束质量 $M^2 \leq 1.1$ ，偏振消光比 $\geq 15\text{dB}$ ；通过振动、高低温、抗辐射等空间应用测试。（2）高速相干通信接收芯片：本振激光线宽 $\leq 10\text{kHz}$ ，激光功率 $\geq 15\text{mW}$ ，IQ 正交相位误差 $\leq 5^\circ$ ，锁相精度 $\leq 5^\circ$ ，共模抑制比 $\geq 25\text{dB}$ ，接收灵敏度 $\leq -37\text{dBm}@40\text{Gbps}$ ；通过振动（20~2000Hz）、高低温（-55~85℃）、抗辐射（0.1rad（Si）/s~50rad（Si）/s）等空间应用测试。（3）激光通信演示验证：研制2套激光终端工程样机，开展链路距离千公里级演示验证，实现空间激光通信试验，通信速率 $\geq 40\text{Gbps}$ ，捕获时间 $\leq 60\text{s}$ 。申请不少于20项发明专利，相关行业技术标准或MSA提案不少于2项，技术就绪度不低于7级。

1.11 面向下一代宽带移动通信的前传光电子芯片与技术（共性关键技术类）

研究内容：研究面向下一代超大容量宽带移动通信前传关键光电子芯片的设计制备、功能集成和系统测试技术；研究T比特量级的相干光载波聚合光电子集成芯片；研究多信道高质量相干光源、大带宽调制器、波长复用聚合器和全带宽相干探测器；研究集成高速数字信号处理、智能性能监测和软件定义自适应速率的移动前传的光电子与微电子集成模块；研究奈奎斯特和超奈奎斯特光子信号处理核心算法、系统集成和应用测试。

考核指标：（1）集成高质量多波长光源，光源波长数不少于

10，总输出功率不少于 13dBm。(2) 调制器芯片及模块，支持子载波复用，单波长支持复用支路不小于 8，单波长峰值速率不低于 1Tbit/s。(3) 相干探测芯片及模块，支持相干载波聚合，载波聚合探测数量不少于 8，探测峰值速率不低于 1Tbps。(4) T 比特量级的相干光载波聚合系统，支持 10 波×150GHz 总频谱带宽，传输距离不小于 25km。实现典型应用示范，申请不少于 30 项发明专利，相关行业技术标准或 MSA 提案不少于 2 项，技术就绪度不低于 5 级。

1.12 面向光纤通信网络光模块的专用核心 IC 芯片（共性关键技术类）

研究内容：针对光纤通信网络高速光模块需求，研究面向 50G 接入网光模块专用核心 IC 芯片，包括突发型跨阻放大器（TIA）芯片、激光器驱动（Driver）芯片、突发型限幅放大器（LA+CDR）芯片；研究面向 400G 城域网相干传输光模块专用核心 IC 芯片，包括线性跨阻放大器（TIA）芯片和高线性调制器驱动（Driver）芯片；研究骨干网 800G/1.2T 相干光模块专用 IC 芯片，包括高带宽复杂调制下的线性放大芯片和低失真调制器驱动芯片。突破高带宽、高摆幅和高线性度等关键设计技术，形成覆盖光纤通信网络应用场景的整套专用 IC 芯片。

考核指标：(1) 研制出 50G 接入网光模块专用 IC 芯片：通道

速率达到 50Gb/s；TIA 的 3dB 带宽 $\geq 30\text{GHz}$ ，跨阻增益 $\geq 70\text{dB}\Omega$ ；激光器驱动电压幅度 $\geq 1.9\text{V}_{\text{pp}}$ ，偏置电流 $\geq 80\text{mA}$ ，LA+CDR 芯片突发响应时间 $\leq 400\text{ns}$ 。（2）研制出 400G 城域网相干传输光模块专用 IC 芯片：通道速率达到 64Gbaud，通道数 ≥ 4 ；其中，线性 TIA 芯片 6dB 带宽 $\geq 45\text{GHz}$ ，跨阻增益 $\geq 60\text{dB}\Omega$ ；驱动器芯片输出电压幅度 $\geq 3.0\text{V}_{\text{pp}}$ ，驱动器芯片 6dB 带宽 $\geq 45\text{GHz}$ ，非线性失真 THD $\leq 5\%$ 。（3）研制出 800G/1.2T 骨干网相干传输光模块专用 IC 芯片：通道速率达到 128Gbaud，通道数 ≥ 4 ；线性 TIA 芯片 6dB 带宽 $\geq 60\text{GHz}$ ；驱动器芯片输出电压幅度 $\geq 3.0\text{V}_{\text{pp}}$ ，驱动器芯片 6dB 带宽 $\geq 60\text{GHz}$ ，非线性失真 THD $\leq 5\%$ 。构建支撑接入、城域、骨干光通信网络专用光模块配套高速电路芯片的自研能力。实现典型示范应用，申请不少于 20 项发明专利，相关行业技术标准或 MSA 提案不少于 2 项，技术就绪度不低于 6 级。

1.13 面向数据中心光互连模块的专用核心 IC 芯片（共性关键技术类）

研究内容：针对超大规模数据中心 400G/800G 光互连模块需求，研究面向 400G 短距光互连模块的专用 IC 芯片，包括线性跨阻放大器（TIA）芯片、高速调制驱动（Driver）芯片和数据与时钟恢复（PAM4 CDR）芯片；研究 800G 短距光互连模块的专用 IC 技术，包括高带宽 PAM4 格式接收端跨阻放大器芯片、多路解

复用芯片、发射端多路复用芯片和高速调制驱动芯片。突破高灵敏度、高带宽、大摆幅和高线性度等关键设计技术，形成覆盖数据中心光互连应用场景的整套专用 IC 芯片。

考核指标：（1）研制出 400G 短距光互连的光模块专用 IC 芯片：通道速率达到 56Gbaud，PAM4 调制格式，通道数 ≥ 4 ；线性 TIA 芯片的 3dB 带宽 $\geq 35\text{GHz}$ ，跨阻增益 $\geq 60\text{dB}\Omega$ ；驱动器芯片输出电压幅度 $\geq 2.0\text{Vpp}$ ，驱动器芯片的 3dB 带宽 $\geq 35\text{GHz}$ ，PAM4 CDR 芯片偏置电流 $\geq 80\text{mA}$ 。（2）研制出 800G 短距光互连的光模块专用 IC 芯片：通道速率达到 112Gbaud，通道数 ≥ 4 ；线性 TIA 芯片 3dB 带宽 $\geq 45\text{GHz}$ ；驱动器芯片输出电压幅度 $\geq 2.0\text{Vpp}$ ，驱动器芯片的 3dB 带宽 $\geq 45\text{GHz}$ 。构建支撑数据中心光互连专用光模块配套高速电路芯片的自研能力。实现典型示范应用，申请不少于 20 项发明专利，相关行业技术标准或 MSA 提案不少于 2 项，技术就绪度不低于 6 级。

1.14 高功率低噪声半导体激光器（青年科学家项目）

研究内容：面向激光雷达、光学传感、微波光子学等需求，研制高功率低噪声半导体激光器芯片。研究高功率半导体激光器增益材料及结构设计和半导体激光器噪声抑制方法，掌握相关材料生长、器件设计、工艺开发和器件制备以及噪声等性能表征技术。

考核指标：工作波长 1525 ~ 1550nm，出光功率 $\geq 200\text{mW}$ ，

相对强度噪声 $\leq -170\text{dBc/Hz}$ ，实现蝶形封装，满足实际应用要求。激光器功率和噪声综合指标达到国际领先水平，实现典型示范应用，申请不少于 5 项发明专利。技术就绪度不低于 5 级。

1.15 光反馈与温度不敏感半导体激光器（青年科学家项目）

研究内容：面向高性能光子集成与低成本光模块等应用需求，研制光反馈与温度不敏感半导体激光器。研究光反馈对半导体激光器腔内谐振影响的物理机制，研究突破半导体激光器抗反馈能力的机理与方法，研究提升半导体激光器温度稳定性的机理与方法。从外延生长、器件结构、工艺制备等方面研究光反馈与温度不敏感半导体激光器的可靠实现方法，掌握激光器有源区和限制层等材料生长关键技术、激光器的系统优化设计和制造工艺。探索面向硅光子集成的光反馈与温度不敏感半导体激光器。

考核指标：实现 O 或 C 波段激光出射功率 $\geq 15\text{mW}$ ；光反馈容忍度 $\geq -10\text{dB}$ ，边模抑制比 $\geq 35\text{dB}$ ；工作温度范围覆盖 $-40^\circ\text{C}\sim 85^\circ\text{C}$ ，激光器特征温度 $(T_0) > 900\text{K}$ 。抗光反馈指标达到国际领先水平，实现无光隔离器封装验证和典型示范应用，申请不少于 5 项发明专利。技术就绪度不低于 5 级。

1.16 超大带宽电光调制器（青年科学家项目）

研究内容：面向未来超高速通信系统的需求，研究电光调制器的新材料和新机理，突破基于现有电光效应的传统调制器的带

宽性能极限，显著提升电光调制器带宽；研究超大带宽电光调制关键技术，包括可增强电光转换效率的新型波导结构、电学结构和驱动器集成方案，降低调制器尺寸和驱动电压。

考核指标：研制出突破传统极限带宽的超大带宽电光调制器和集成发射机，具体指标包括：实现 O 和 C 波段电光调制器 3dB 带宽 $\geq 200\text{GHz}$ ，半波电压 $\leq 5\text{V}@40\text{GHz}$ ，总体性能达到国际先进水平。实现典型示范应用，申请不少于 5 项发明专利。技术就绪度不低于 5 级。

1.17 超大带宽光电探测器（青年科学家项目）

研究内容：面向未来超高速探测系统的需求，研究半导体光电探测器中光场/电场耦合及光生载流子高速输运过程，研究光电探测器带宽的综合制约因素和实现突破的系统性途径和方法；从材料生长、器件结构、测试表征技术等方面出发，探索复合光波导超模式等新原理，研究超大带宽光电探测器的基础理论与实现方法，突破关键制作工艺，实现超大带宽光电探测器。

考核指标：研制出 O 或 C 波段的光电探测器，3dB 带宽 $\geq 200\text{GHz}$ ，探测响应度 $\geq 0.4\text{A/W}$ 。总体性能达到国际领先水平，实现典型示范应用，申请不少于 5 项发明专利。技术就绪度不低于 5 级。

1.18 基于低维材料的视觉本能反应型光电子器件（青年科学

家项目)

研究内容：面向物联网中数据密集型前端的高速图像信号处理需求，基于低维材料优异的光电响应特性，研究感算一体的神经形态人工视觉系统，简化硬件架构的同时提高数据处理效率。开发基于低维材料的大规模智能像元阵列设计、加工和集成技术；探索感算一体硬件与先进智能算法高效耦合的技术方案；针对空间光形态下的图像数据，研究基于神经网络算法的模拟域加速计算方法。

考核指标：研制基于低维材料的感算一体神经形态光电子器件，阵列像元规模不小于 8×8 ，器件响应速度不小于 100 Hz，重构开关功耗小于 10pJ；在前端硬件层面，支持可自定义操作数的模拟域图像卷积计算，使用器件对三类噪声图像的平均分类精度大于 90%，实现典型示范应用，申请不少于 10 项发明专利。

1.19 光子引线键合混合集成光收发芯片（青年科学家项目）

研究内容：针对异质异构混合光子集成中的光互连挑战，研究基于双光子吸收聚合的光子引线键合（PWB）光互连技术，研究双光子吸收固化材料及其光学折射率调控方法，验证其环境适应性和长期稳定性；研究典型应用场景中光子引线键合的建模仿真、波导设计与制备技术；研究 III-V 族、硅基、氮化硅和薄膜铌酸锂等多种材料体系光电子芯片的低损耗光子引线互连技术，

研制多通道混合集成光收发芯片。

考核指标：3D 打印光子引线波导传输损耗 $\leq 3\text{dB/cm}$ ；芯片与芯片间光子引线连接损耗 $\leq 2\text{dB}$ ，包含 III-V 族、硅基、氮化硅和薄膜铌酸锂等 4 种以上材料体系芯片；光纤与芯片间光子引线连接损耗 $\leq 1.5\text{dB}$ ；实现基于光子引线键合技术的 8 通道 400Gb/s（8×50Gb/s）混合集成光收发芯片及模块，满足距离 2 公里以上光通信需求；满足 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 环境温度，湿度 $\leq 85\%$ 条件下使用，长期可靠性不小于 5000 小时。实现典型示范应用，申请不少于 5 项发明专利，技术就绪度不低于 5 级。

1.20 基于谷自由度调控的偏振探测器件（青年科学家项目）

研究内容：研究高温无外场下实现对单层过渡金属硫族化合物高效自旋注入和谷自由度有效调控的机理和实现方法，研究基于单层过渡金属硫族化合物异质结的谷光开关器件和片上灵活调控的全斯托克斯矢量光电探测器。

考核指标：在高温无外场下实现自旋注入效率 $\geq 80\%$ ，谷光开关器件开关比 $\geq 20\text{dB}$ ；全斯托克斯矢量光电探测器室温下工作波长覆盖可见到近红外波段（600nm~1600nm），线偏振光测量误差 $\leq 5\%$ ，圆偏振光测量误差 $\leq 8\%$ ，研制出原型光电偏振探测器件。实现典型示范应用，申请不少于 5 项发明专利，技术就绪度不低于 5 级。

1.21 超宽带捷变频光电振荡器（青年科学家项目）

研究内容：面向电子信息系统对超宽带捷变频微波信号源的需求，开展超宽带捷变频光电振荡器技术研究。研究光电振荡器的模式调控和非线性机理，突破传统光电振荡器模式难以超宽带捷变频调控的限制，研制超宽带捷变频以及低相噪的光电振荡器。

考核指标：研制出超宽带捷变频光电振荡器，频率切换时间 $\leq 100\text{ns}$ ，单频相位噪声 $\leq -130\text{dBc/Hz}@10\text{kHz}$ ，频率捷变覆盖范围：1~65GHz，信号输出功率 $\geq 10\text{dBm}$ 。实现典型示范应用，申请不少于5项发明专利，技术就绪度不低于5级。

2. 光计算与存储技术

2.1 晶圆级硅光互连片上计算系统（基础前沿类）

研究内容：面向数据中心、高性能计算等应用场景，研制高性能与高能效的晶圆级光电融合硅光互连片上计算系统。研究面向硅光互连的数据流驱动、功能优化等软硬件协同计算架构关键技术；研究光电融合的硅光信号传输的芯粒互连接口标准及计算芯粒设计技术；研究晶圆级计算系统的硅光互连网络技术；研究晶圆级封装技术，开展晶圆级大功率供电、晶上长距离低损耗硅光互连、超高热流密度晶上系统散热等关键技术研究；研究软件编译环境下，实现任务在片上资源的高效灵活映射，并在数据中心及高性能计算等领域开展示范应用。

考核指标：（1）研制计算系统专用的软硬件协同的晶圆级光电融合集成芯片，晶圆尺寸 8 寸或 12 寸，计算系统可实现远端海量数据实时高密度计算功能，支持计算、存储、互连、I/O 等 4 种以上不同功能的光电芯粒互连，计算性能不低于 P 级，能重比提升不低于 5 倍。（2）研制高带宽、低延迟、低开销的光电互连接口电路，单通道光电互连速率 $\geq 56\text{Gbps}$ ，相邻芯粒互连延迟 $\leq 10\text{ns}$ ，光电融合交换容量 $\geq 25.6\text{Tbps}$ ，功耗 $\leq 10\text{pJ/bit}$ 。（3）芯粒间互连密度 $\geq 10000\text{pin/cm}^2$ ，集成芯粒数量 ≥ 50 ，互连密度 $\leq 20\mu\text{m}/20\mu\text{m}$ （线宽/线距）；供电散热密度 $\geq 0.3\text{W/mm}^2$ 。（4）研制配套软件，任务配置生效时间 $\leq 500\text{ms}$ 。实现典型示范应用，申请不少于 30 项发明专利，相关行业技术标准或 MSA 提案不少于 1 项，技术就绪度不低于 5 级。

2.2 光电混合通用计算系统（基础前沿类）

研究内容：传统电子计算机系统在算力和功耗等方面存在瓶颈问题，光电混合逻辑计算是指输入数字信号以光 and 电两种载体导入光电子集成芯片中执行相应逻辑运算的新型计算方式，有望极大地提升数字计算的算力和降低能耗。研究新型光电混合逻辑计算的通用计算系统架构，探索智能化可编程光电混合逻辑芯片的机理，实现高并行度、集成化和可编程的逻辑门阵列；研究光电混合逻辑的集成光子回路，通过多逻辑级联、光电混合逻辑架

构、电路系统辅助实现通用计算系统，实现多比特位的加法、减法、比较器等光学数字电路系统，突破光子逻辑运算的扩展性和级联性难题；开发光电混合逻辑计算系统样机，结合电路控制系统研制具有扩展性的多比特位光学四则运算（加法、减法、乘法、除法）等通用计算原型机。

考核指标：（1）研制出超大容量可编程光电混合逻辑计算芯片，实现光学逻辑功能任意重构（两输入对应 16 种全套光逻辑门）、复用波长数 ≥ 10 、输出端口数 ≥ 4 的并行逻辑计算芯片，单芯片计算能力达 1TOPS 以上。（2）研制出多逻辑单元级联的光电混合逻辑芯片，展示单通道速率 25Gbit/s 以上的 2 比特光学全加器、全减器、数字比较器等演示验证系统。（3）结合电路控制系统，开发光电混合逻辑计算系统样机且具有演示功能，展示不少于 4 比特位光学四则运算等通用计算功能。实现典型示范应用，申请不少于 20 项技术发明专利，相关行业技术标准或 MSA 提案不少于 1 项，技术就绪度不低于 5 级。

2.3 TB 级光存储技术及光盘库研制（共性关键技术类）

研究内容：面向大容量数据的低功耗、长寿命存储应用需求，研究超分辨光信息存储技术，突破衍射极限，实现 50 纳米及以下分辨率的超分辨记录与读取。突破单张标准光盘 1TB 及以上容量的光信息存储技术，研制超大容量光盘库；研发新型高精度高

稳定性光盘材料和光盘结构；研发伺服和信号分离检测技术，降低层间干涉，降低相邻信号干扰；研发新型高速多值信号处理、编解码及数据组织技术，提高光盘读写实时校正能力及数据恢复能力，保证系统的可靠性。

考核指标：（1）光记录与读取比特等效分辨率 $\leq 50\text{nm}$ ，信道间距 $\leq 180\text{nm}$ ；开发多值（ ≥ 3 ）光信息存储技术；（2）实现双面多层刻录和读取，单张标准光盘存储容量 $\geq 1\text{TB}$ ；（3）研制出超大容量光存储光盘库，光盘库单机柜存储容量 $\geq 6\text{PB}$ ；精密机芯技术的 D-MLSE（最大似然序列估计）值 $\leq 15\%$ ，双光头同时读写与传输速度 $\geq 1\text{Gb/s}$ ，光盘寿命 ≥ 100 年。实现典型示范应用，申请不少于 30 项技术发明专利，相关行业技术标准或 MSA 提案不少于 3 项，技术就绪度不低于 7 级。

3. 光显示与交互技术

3.1 感存算一体光电融合芯片技术（共性关键技术类）

研究内容：面向视觉图像大数据边缘实时处理需求，研究智能化三维堆叠型视觉信息光电感存算芯片技术，包括：研究灰度、深度兼容成像并具备速度感知功能的多维度视觉信息传感技术；研究多维度视觉信息处理器架构及电路设计技术；研究面向多维度视觉信息处理的软硬件协同设计技术、智能处理算法技术；研究多层芯片三维堆叠集成技术以及相关可靠性问题；研制出智能

化三维堆叠型视觉芯片，具备图像信息智能化识别、检测、追踪及图像语义理解等功能，在先进显示、人机交互等场景实现应用。

考核指标：研制出多维度视觉信息传感器，二维视觉图像分辨率不低于 200 万像素、成像帧率不低于 100fps，深度图像分辨率不低于 100 万像素、深度图像生成速率不低于 60fps，速度场分布图分辨率不低于 100 万像素、生成速率不低于 30fps。研制出面向多维度视觉信息处理的视觉处理器芯片，芯片算力不低于 4TOPS@8-bit；智能化识别、跟踪、检测处理任务达到实时，在特定数据集上的 Top-5 目标识别率不低于 85%。实现 TSV 孔径不高于 15 μ m、TSV 深宽比不低于 6:1、层数不低于 3 层的多维度视觉信息传感器、处理器、存储器的三维堆叠集成，研制出面向先进显示与交互应用的感存算一体光电融合系统芯片。实现典型示范应用，相关行业技术标准或 MSA 提案不少于 2 项，申请发明专利 20 项以上，技术就绪度不低于 6 级。

3.2 光电混合集成的激光雷达芯片技术（共性关键技术类）

研究内容：面向移动平台的智能感知需求，研究半导体激光器芯片及其一维二维兼容阵列，实现阵列在多物理场中的光耦合、热控制和电信号的加载；研究半导体光放大器及其与硅基光波导异质集成结构和工艺；研究线性调频连续波激光器及其线性化控制；研究激光雷达光束的光学扫描机制，包括光学相控阵、焦平

面开关阵、波长扫描、微振镜等；研究大范围扫描、窄光束发射的光学扫描和接收芯片；研究适用于激光雷达应用的新型光电混合集成技术和相关封装工艺。

考核指标：（1）多波长可调谐单模激光器阵列芯片，单管功率大于 60mW，阵列波长覆盖范围大于 80nm。（2）线性扫频连续波激光器功率大于 100mW，扫频带宽大于 3GHz，线宽小于 100kHz，线性度优于 99%，扫频周期小于 10 μ s。（3）光学扫描芯片实现水平视场扫描角度大于 120°，垂直视场扫描角度大于 15°，光束发散角小于 0.2°；激光雷达扫描帧率大于 10fps。（4）光电探测器阵列规模不小于 128 $\times$ 32 或等效探测点云规模不小于 132 $\times$ 28。（5）实现激光雷达的集成化和小型化封装，盲区 $\leq$ 0.5m，测程高于 100m@10%反射率，测距精度 $\leq$ 5cm，测量速度范围 $\geq$ $\pm$ 100km/h，测速精度 $\leq$ 0.1m/s。实现典型示范应用，相关行业技术标准或 MSA 提案不少于 2 项，申请发明专利 20 项以上，技术就绪度不低于 6 级。

3.3 基于 VCSEL 的三维图像识别与感知芯片技术（共性关键技术类）

研究内容：面向移动终端的低功耗高精度三维感知的需求，研究低功耗和高精度垂直腔面发射激光器，建立多节芯片结构新技术和阵列化驱动电路，实现垂直腔面发射激光器阵列的高电光

转换效率、高发光功率密度及阵列发光的高一致性；研究高速二维及三维兼容视觉传感器，和多模式三维探测机制，包括结构光、间接飞行时间（iToF）或直接飞行时间（dToF）；研究光场调控新原理和新技术，实现高光学效率、高保真度的光学元件；研究亚毫米精度三维图像重建技术，以及高性能的三维重建算法。

考核指标：（1）研制出高电光转换效率、高出光功率密度、高一致性和高可靠的垂直腔面发射激光器阵列芯片，电光转化效率（PCE）不小于 55%，斜率效率不小于 1.9W/A，发散角全角不大于 22°，输出光功率大于 4W，阵列发光一致性大于 95%，波长温漂小于 8nm（-40°C~85°C）。（2）研制出大像素规模、大动态范围、高探测效率和精度的多模式高速传感器，分辨率大于 30 万（或 CMOS 传感器分辨率大于 200 万），兼容二维三维探测成像，三维探测输出 XYZ 数据、PDE 大于 10%（940nm 波段），二维探测输出灰度图像、灰度阶数大于 8bits，三维帧率不低于 30fps、二维帧率不低于 60fps；研制出高质量衍射光学元件，视场范围大于 25°×25°；研制出高精度三维图像识别系统，目标距离 1~2m@10%反射率，成像距离精度小于 1mm；目标距离 5~10m@10%反射率，成像距离精度小于 1cm。实现典型示范应用，申请发明专利 20 项以上，相关行业技术标准或 MSA 提案不少于 1 项，技术就绪度不低于 6 级。

“多模态网络与通信”重点专项 2022 年度项目申报指南

为落实“十四五”期间国家科技创新有关部署安排，国家重点研发计划启动实施“多模态网络与通信”重点专项。根据本重点专项实施方案的部署，现提出 2022 年度项目申报指南。

本专项总体目标是：开展多模态网络核心芯片、设备、关键技术和创新环境构建的研究，初步构建全维可定义的多模态融合网络架构、协议体系、安全体系和服务体系，使我国成为支持演进和创新的新型网络技术的主导者；巩固我国在移动通信领域的领先优势，重点开展 5G 演进及 6G 技术的前期研究，开展天地一体化技术的先导研究，使我国成为 6G 技术、系统和标准的全球引领者，并使我国高频段通信系统核心模块和芯片达到国际先进水平；充分发挥我国在光通信系统产品上的领先优势，带动光通信核心模块和芯片逐步取得竞争优势；并与微电子、光电子、新材料等方面交叉融合，借助本领域已有的产业优势，在前沿技术上率先取得突破。专项实施周期为 5 年（2021—2025 年）。

2022 年度指南部署聚焦面向系统、行业应用的核心芯片、软件、关键设备研制和系统集成研究，同时辅以探索前沿技术，拟围绕多模态网络，新一代无线通信，超宽带光通信等三个技术方向，按照基础前沿类、共性关键技术类、青年科学家项目三个层面，启动 23 项指南任务，拟安排国拨经费 4.22 亿元。其中，青年科学家项目拟安排国拨经费 3600 万元，每个项目 300 万元。共性关键技术类项目配套经费与国拨经费比例不低于 1:1。

项目统一按指南二级标题（如 1.1）的研究方向申报。申报项目的研究内容必须涵盖二级标题下指南所列的全部研究内容和考核指标，实施周期不超过 4 年。基础前沿类项目下设课题数不超过 4 个，参与单位不超过 6 个；共性关键技术类项目下设课题数不超过 5 个，项目参与单位总数不超过 10 家。项目设 1 名项目负责人，项目中每个课题设 1 名课题负责人。

青年科学家项目不再下设课题，项目所含参与单位总数不超过 3 家。项目设 1 名项目负责人，项目负责人年龄要求，男性应为 1984 年 1 月 1 日后出生，女性应为 1982 年 1 月 1 日后出生。原则上团队其他参与人员年龄要求同上。

除指南中特殊说明外，每个指南任务拟支持项目数为 1~2 项。

“拟支持项目数为 1~2 项”是指：在同一研究方向下，当出现申

报项目评审结果前两位评价相近、技术路线明显不同的情况时，可同时支持 2 项。2 个项目将采取分两个阶段支持的方式，第一阶段完成后将对 2 个项目执行情况进行评估，根据评估结果确定后续支持方式。

1. 多模态网络

1.1 多模态网络的软件定义互连交换芯片研制（共性关键技术类）

研究内容：针对多模态网络软件定义互连芯片面向的数据中心、5G 承载网、高性能计算等典型应用场景，开展多模态网络互连交换芯片体系架构、模态隔离转发技术、状态可编程技术、模态加载和编译技术、软件定义报文技术等研究，突破软件定义数据链路层协议、软件定义报文线速处理、高负载下模态弹性无扰隔离技术、数据平面有状态转发技术、大规模状态表下的线速转发等关键技术难点，形成多模态高效芯片处理架构，完成多模态网络软件定义互连交换芯片的设计，基于境内工艺，实现多模态网络软件定义互连交换芯片流片、封装及测试，为多模态网络系列化设备研制提供核心芯片，构建软件定义互连交换芯片演示验证系统。

考核指标：基于境内 16nm 或更先进工艺，完成多模态网络软件定义互连交换芯片研制；支持芯片级状态可编程、模态加载/

编译及运行，实现大规模状态表下的高性能转发，支持模态间的弹性隔离，支持不同模态下的有状态寻址或无状态寻址；芯片交换容量 $\geq 6.4\text{Tbps}$ ，端口最大传输速率 400Gbps ，支持 2 种以上软件定义数据链路层协议；确定性平面转发时延 $\leq 2\mu\text{s}$ ，时延抖动 $\leq 1\mu\text{s}$ ；支持 8 级以上业务可编程能力，支持流表精确匹配，流表容量 $\geq 1\text{M}$ 条，共享缓存 64MByte ；芯片配套软件支持现场可编程特性、异构业务特性和多模态应用特性；完成芯片在典型应用环境下的演示验证。完成研制报告 1 份、申请专利 20 项。

1.2 支撑多模态网络的软件定义控制芯片（共性关键技术类）

研究内容：面向多模态网络技术发展，为满足多种网络模态共存对控制面多维动态管理、多样化处理策略及高安全防护的需求，基于控制面和数据面分离的多模态网络架构下，开展多模态网络高吞吐量控制面处理器架构、控制面处理器功能重构技术、分布式协同控制、控制面内生安全技术和编译技术等研究，突破芯片上弹性模态资源管理和动态微服务加载、安全传输协议、内生安全硬件设计、面向通用网络处理器编程范式的编译工具研制等关键技术难点，提出支持多模态动态管理的高吞吐率低延迟控制器芯片架构，完成支撑多模态网络的软件定义控制芯片设计并流片，研制完整集成开发工具链、应用软件库运行环境，实现面向多模态网络管理的控制设备原型样机和系统。

考核指标：建立软件定义控制芯片的多模态可编程高吞吐率架构，支持多域多级管理，支持 L2~L7 层级协议卸载和预处理，业务管理带宽达到 100Gbps 以上，对数据面请求的处理效率达到通用处理器的 10 倍以上，对同层或上层控制器的多模态流部署及拓扑管理请求的处理带宽达到通用处理器的 10 倍以上；软件定义控制芯片支持微服务的动态加载，功能重构时间小于 100ns，支持多业务分发、统一表决以及负反馈控制的动态调度；基于硬件可信根实现配置管理，覆盖 100%配置流；对基于未知漏洞和后门攻击的防御成功率达到 99%以上；基于境内 28nm 及更先进工艺，完成芯片研制、集成开发工具研制、控制设备原型验证样机及系统研制；集成开发工具支持高级语言编程，控制代码编译执行效率不低于 80%，支持断点调试和时钟精确模拟。

1.3 多模态网络控制调度系统技术（共性关键技术类）

研究内容：面向泛在化异构网络设备所组成物理网络中多种模态网络管控需求，开展基于多模态网络的控制调度系统总体架构、分布式/层次化控制与通信技术、面向异构设备的控制面本地化技术、分布式控制面状态维护技术、多业务流多模态路由承载技术、跨模态资源协同管控与内生安全技术、算网一体的资源协同调度技术、控制面主备切换和容灾备份技术等研究，突破支持多种可编程数据面流水线技术的分布式控制面集群、算网资源协

同与自动化模态隔离与加载、高可用可视化控制面维护等技术难点，形成多模态网络控制调度系统架构，开展多模态网络控制调度相关关键技术原理和原型系统的验证。

考核指标：完成基于多模态网络的控制调度系统总体架构的方案设计；控制面支持多种可编程数据面流水线技术、支持分布式及层次化扩展、多种硬件架构下的控制面本地化部署、分布式状态维护、算网一体协同调度、不少于 5 种多模态寻址与路由协议、基于命名空间隔离的跨模态资源编排、自动化模态加载、具备高可用性；控制通道管理容量不少于 1000 台数据面设备，拓扑发现时间低于 2s，线性拓扑端到端链路建立时间低于 5s，单节点在 10 万 pps 的负载下，被动 packet-out 或 flow-mod 响应时延 99% 小于 1ms，集群可线性扩展；与算网非协同系统相比，算网资源配置与使用效率提升 30%；构建原型系统实验验证环境，对多模态网络控制调度系统架构及关键技术开展性能评估，开源原型系统相关代码。

1.4 多模态边缘网络关键技术研究（共性关键技术类）

研究内容：应对信息网络发展成为人-机-物泛在互联关键基础设施和赋能平台的趋势，构建基于多模态网络环境的边缘网络，支持多模态协议混合接入，具备内生安全特性，突破基于异构语义标识的多模态协议混合路由寻址、隐私保护、按需组网等，支

持网内计算增强，实现分布式算力与多模态网络环境的融合与协同；研究分布式算力感知与网络设备数据面卸载，研究基于多模态网络环境的网内计算分发和部署等，实现面向分布式计算的网络支撑；研究多模态边缘网络的安全访问控制，支撑多模态网络中信息物理融合安全接入、异构实体的内生安全互联互通。研发多模态边缘网络设备和系统，为面向园区/行业等垂直应用提供多元、高效、安全的边缘网络服务支撑。

考核指标：提出基于多模态网络环境的边缘网络方案，完成原理验证，形成面向园区/行业等场景的验证报告 3 份，申请发明专利 10 项，提交国内国际标准提案 5 篇；设备内部支持不少于 3 种异构算力资源，支持面向不少于 4 种网络协议的存储计算转发异构资源协同调度、模态自定义的协议解析和处理，报文处理、交换芯片和处理器国产化，支持不少于 6 个 100Gbps 接口；控制系统支持对项目研发的设备进行模态控制，支持基于资源池的计算任务卸载和协同处理，支持计算模型在多模态网络设备中的分级、动态部署，对计算请求进行任务分配的平均响应时延不超过 5ms；路由系统支持不少于 4 种异构多模态标识接入及其混合寻址路由、统一承载，支持与现网互联互通，支持隐私保护，路由隐私的平均处理时间不超过 2ms；边缘融合接入与安全认证设备支持不少于 4 种实体标识的统一接入认证和授权，支持不少于 2

个 10Gbps 接口和 10 个千兆接口，支持国密算法，处理器国产化，支持并发连接数不少于 10000 个，支持一体化异构标识定义、时空可感、跨层多元的持续信任评估和管控。项目研发的设备和系统需具备内生安全特性，在白盒注入测试条件下基于未知威胁差模攻击的平均抑制成功率不低于 95%。

1.5 多模态网络节点关键技术研究验证(共性关键技术类)

研究内容：面向多模态网络智慧支撑环境，遵循“应用、业务、技术体制、智慧支撑环境”的四层架构，以面向计算的技术路线为主线开展多模态网络节点关键技术研究，开发多模态网络节点试验验证平台并对关键技术研究成果进行验证，为多模态网络超大规模专用核心芯片的开发奠定坚实的技术实践基础。重点突破多模态智慧支撑环境网络节点的系统架构、流数据驱动、计算模型、资源构建、互联方式、控制逻辑、节点操作系统和可编程模式等方面的关键技术，实现多模态网络在智慧支撑环境节点中，共生共存、区分服务、内生安全兼并的透明转移生态。

考核指标：完成多模态网络智慧支撑环境节点技术实现方案，提供试验验证报告，关键技术突破大于 10 项；研制开发多模态网络智慧支撑环境节点机 3 台、用于构建试验验证环境节点协处理机 6 台和多模态终端网卡 20 块，设备间支持协同处理，开展大于 6 种模态网络同时并发运行的试验验证工作，其中主流

技术体制的模态网络大于 3 种，可以支持模态间硬隔离；多模态网络智慧支撑环境节点机端口速率支持 40/100/400Gbps，交换容量不少于 4Tbps，存储容量大于 10TB；节点协处理机端口速率支持 10/40Gbps，交换容量不少于 600Gbps，存储容量大于 6TB，支持带内计算；多模态终端网卡端口速率支持 1000Mbps/10Gbps，支持用户自定义模态加载，支持由应用按需选择模态；多模态网络智慧支撑环境节点机、节点协处理机、多模态终端网卡核心器件采用国产器件；节点操作系统支持内生安全，能有效抑制不确定失效扰动，在白盒测试条件下威胁抑制成功率不低于 95%，支持多种网络模态的动态安装和部署，可适配本项目研发的节点设备，向开源社区贡献代码，目标功能的代码贡献比例不低于 50%；提交 1 份多模态网络节点技术研究报告，提交标准草案大于 3 份，申请专利或软件著作权大于 15 项。

1.6 多模态网络编程环境及软件化技术研究(共性关键技术类)

研究内容：研究建立模态无关的多模态网络环境编程系统架构与模型，抽象网络模态的共性需求和能力特征，形成基于通用表达的网络模态编程语法，支持覆盖存储、计算、转发、安全等可定义的模态编程，支持网络模态的智能在线生成与行为验证；研制平台无关的多模态网络前端编译系统，支持网络模态的安全编程和形式化验证，基于异构的可编程资源协作实现网络模态的

自动化编译与生成，具备内生安全特性；研制面向多样化平台的设备级后端编译系统支持依据应用需求实现多种模态在设备中的并发运行；研究应用驱动的网络模态智能承载技术，支持基于网络状态感知的资源编排，实现网络模态与基础环境间的优化匹配与调度；构建支持网络模态动态、并行部署的实网多模态网络环境，支持面向模态需求定制的环境资源组合和模态重构，为网络模态在多模态网络环境中的快速部署和应用提供支撑。

考核指标：形成一整套完善的多模态网络编程方案，申请发明专利不少于 10 项。模态编程模型支持不少于转发、计算、存储、安全等 4 种操作，支持差异化网络模态能力的统一描述、智能生成和行为验证，编程语法面向用户开放；前端编译系统支持上述编程语法，支持面向不少于 3 种硬件资源的一体化协作编译，支持不少于 5 种策略的内生安全特性，支持模态语法检查和模型优化；研制面向不少于 3 种硬件资源的多模态网络后端编译系统，其中至少 2 种硬件资源的端口处理速率不低于 100Gbps，支持上述编程语法，支持基于平台能力评估的模态处理流水线自动生成和优化；网络模态承载系统和工具集，支持主动和被动等 2 种感知方式，支持网络模态的动态缩容扩容，面向模态的调度时间为秒级，支持不少于 5 种业务场景的资源优化配置和模态动态部署；基于上述成果，构建不少于 10 个节点的实网多模态网络环境，

支持 100Gbps 接口，实现多元化网络模态在异构化基础网络环境中的一体化编译和部署，支持跨区域互联互通，支持不少于 5 种模态的安装部署和并行运行，覆盖计算/存储/转发/安全等资源要素，模态平均部署时间小于 10s。

1.7 面向新一代移动互联网时延和可靠性敏感业务的模态网络架构关键技术与验证（共性关键技术类）

研究内容：（1）探索模态移动网络体系架构与核心机理，构建减少处理时延提升网络可靠性的新型模态网络架构，突破传统移动互联网中架构时延、节点时延、可靠性、移动性、可扩展性、多样化等关键瓶颈。（2）研究低时延、低运行损耗、高可靠的自主可控网络虚拟化操作系统，支持裸金属、虚机及容器多种硬件平台的运行能力，在开放的模态运行环境中克服引入网络虚拟化后时延、资源开销增加等挑战。（3）研究面向泛在接入多模态网络的普适协同机制和分布式自治移动性管理机制，支持 MEC 应用的移动性管理，确保面向全场景无处不在的服务可用性，提升网络可靠性。（4）研究新型模态网络架构下，面向时延和可靠性敏感业务需求的业务链 SLA 保障机理，基于排队博弈、多目标优化等理论，协同优化业务链时延加权与资源效率，研究带宽保障分配方法和编排调度机制，研究适配业务需求的流量整形技术，研究基于网络拥塞感知的流量控制技术。（5）开展面向时延和可

靠性敏感业务需求的模态移动网络关键技术原型验证。

考核指标：形成超低时延、超高可靠、普适业务移动性的新型模态移动互联网络架构方案，显著简化网络架构层级、结合 SRv6 简化移动性管理、简化 MEC 业务连续性机理，显著降低链路和节点时延，降低部署成本，提升网络可靠性；完成低时延、高可靠、低运行损耗的虚拟化操作系统，支持双内核实时技术，对比普通虚拟化实时性能提升 10 倍（虚拟化层时延 $<20\mu\text{s}$ ），实现运行损耗降低 90%，支持在线热切换、存储容错和快照升级等虚拟化运行可靠性技术。提出新型普适协同机制和分布式自治移动性管理机制，支持 MEC 应用的智能重放置；完成不少于 3 种接入制式网络仿真，在预调度情况下用户面空口时延 $<5\text{ms}$ ，异系统业务中断时间 $<30\text{ms}$ 。构建面向 SLA 的业务链部署模型，提出业务感知的流量整形、流量控制等技术，保障业务链（SFC）部署的确定性时延，实现业务请求接受率和资源利用率的有效权衡；在单个 NFVI 的算法作用域内，业务链时延 $<20\mu\text{s}$ ，抖动 $\leq 40\mu\text{s}$ 。搭建试验验证平台，完成原型系统设计和演示验证。申请发明专利不少于 15 项；提交国际国内标准技术提案 10 篇。

1.8 多模态网络新型端到端传送协议与拥塞控制创新研究（青年科学家项目，拟支持 4 项）

研究内容：面向视频会议、虚拟现实和工业互联网等多模态

网络应用对高质量低时延的传送需求，针对网络异构时变不可控和应用需求多维高差异的特点，开展新型低时延传送协议研究，包括端到端新型时敏传送协议与流控、端网协同新型低时延拥塞控制、异构网络资源协同智能传送。下述研究内容可选择 1 项或多项进行研究：（1）基于面向连接 TCP 的新型低时延传送协议；（2）基于无连接 UDP 的新型低时延传送协议；（3）新型网络多路径智能联合传送协议。

考核指标：分项对应上述研究内容：（1）研究基于 TCP/UDP 的新型低时延传送协议，设计端到端新型时敏传送协议与流控机制，能够高效对抗随机丢包、支持跨层协作与分级传送、满足延迟限制、适配端系统能力；（2）设计端网协同新型低时延拥塞控制方案，对网络拥塞的感知速度提升至少 0.5 个 RTT，具有快速适配网络状态、缓解拥塞的能力；（3）研究新型网络多路径智能联合传送协议，设计多径联合传送方案，支持带宽聚合、时敏选路、切换调度。对上述各项研究任务：开发新型端到端传送协议与拥塞控制系统；针对实时视频等典型应用，完成大规模试验网络上的应用验证，开展百万级用户测试，与 Google BBR、Google WebRTC、IETF QUIC 等传送协议相比，弱网场景下卡顿率降低不少于 20%、尾时延降低不少于 50%、清晰度提升不少于 10%。申请发明专利不少于 10 项，提交标准草案不少于 5 项。

2. 新一代无线通信

2.1 AI 驱动的 6G 无线智能空口传输技术（共性关键技术类）

研究内容：探索 AI 内生的新型 6G 空口传输机制，实现网络时空分布数据的高效挖掘利用、复杂状态空间的精准感知控制、通信计算资源的智能协调分配，显著提升网络的容量、性能和效率。重点研究无线传输环境、频谱资源、业务模型和用户特征等多维特性的深度感知挖掘机制，研究与环境 and 资源动态适配的空口信号波形设计和智能编译码理论与技术，实现链路智能动态调控；研究复杂融合网络环境下智能场景感知与大规模智能协同接入机制，突破高效数据样本感知获取、智能计算架构、分布算法部署与群智协同等关键难题。

考核指标：提升无线系统的确定性容量 1 个数量级以上；提升频谱和功率等资源综合效率 1 个数量级以上；显著提升无线通信系统对业务和环境的动态适配能力，支持大规模用户动态接入、大范围自主干扰协调，降低系统干扰 6dB 以上；支持高效数据样本获取和高效训练学习，所付出的计算代价在量级上不高于所获得的空口传输性能增益。以上指标参比 5G（3GPP R16）。

2.2 6G 智简网络架构与自治技术研究（基础前沿类）

研究内容：研究 6G 智简网络架构，支持 6G 新型业务应用；研究智简信息传输及网络信息理论；研究智能与通信深度融合的

智简使能技术，包括智能新型网络信息传输技术、多维融合统一无线接入技术、泛在异构连接的服务质量保障与智能调度、按需动态空口配置；研究基于无线大数据、人工智能的无线网络智能自治管理技术、网络智能化能力分级评估方法。

考核指标：从智简角度完成对网络架构的重新设计，形成针对 6G 需求的智简网络架构方案，实现智能与通信在网络内的深度融合，支持 6G 业务应用，实现网络智能化管理。开展原型系统研发与关键技术试验验证，相比 5G 系统，智简网络侧传输能力提升 1 倍，网络管理的自动化程度提升 1 倍，数据流业务识别种类不少于 4 类，所需算力控制在 0.5TOPS 以内，对业务 QoS 支撑能力提升 1 个量级，网络服务响应时间降低 50%，终端接入能耗降低 60%以上，在面向 6G 的至少 3 种典型场景实现动态策略自动分析、预先设计场景下系统辅助人工决策。提交标准草案不少于 2 项。

2.3 6G 移动通信安全内生及隐私保护技术(共性关键技术类)

研究内容：面向 6G 空口内源性安全、异构高效组网接入安全、海量用户隐私数据安全等问题，实现通信与安全的共生发展。结合 6G 空口无线使能新技术，研究超高吞吐量、超大连接/超低时延通信等场景的空口内生安全技术；研究面向 6G 超大连接的异构融合安全组网接入认证技术，高效异构组网设备快速安全接

入及安全切换技术，通信安全一体化防御技术，以及面向 6G 超低时延的超轻量级安全传输技术；研究基于分布式可信机制的 6G 无线网络架构与隐私保护技术，包括基于区块链的 6G 可信无线网络架构、6G 网络的隐私信息提取与计算技术、面向 6G 开放性多样化应用场景的网元安全技术。

考核指标：超大连接场景下，与密码学轻量级算法相比，安全计算复杂度降低 50%；超低时延场景下，支持安全与通信一体化并行处理，且安全处理时延不高于通信处理时延；超高吞吐量通信场景下，信道密钥符合国标，生成速率不低于 10Mbps，符合国标；开展 6G 网络内生安全关键技术评估与试验验证，相对于 5G 系统，超大连接终端节点安全能耗降低 50%，安全信令开销降低 50%；提出不少于 3 种 6G 网络中海量用户数据的隐私保护机制；实现 10000TPS 以上的处理效率。

2.4 面向“双碳”战略的超低能耗移动通信理论与方法（基础前沿类）

研究内容：面向国家“碳达峰”与“碳中和”的“双碳”战略需求，研究可使未来 6G 移动通信系统总能耗大幅度下降且保障个性化服务质量要求的理论与方法，包括：（1）研究无线网络“双碳”标准化和评估体系；（2）建立网络能效与谱效、网络规模与覆盖、业务特性、服务质量要求等要素之间的理论关系，给

出可使系统能耗大幅度下降的新型网络架构及智能调度理论与方法；（3）建立 6G 大规模智能传输及其处理算法的能耗模型，给出可使传输及其处理能耗大幅度降低的新机制、新架构和新算法；（4）探索可再生/可储存能源驱动、有线/无线/可见光混合的新型融合组网方法，显著增强 6G 能效同时保障高质量可持续通信服务。

考核指标：（1）所提出的移动通信网络“双碳”理论、方法和评估标准须满足未来 6G 业务需求，适应未来网络规模化发展的需要。（2）在工作带宽内等效业务分布和业务量相同的前提下使系统整体能耗相比于现有 5G 网络降低 50%以上。（3）在满足网络覆盖需求和典型业务服务质量要求的条件下使网络总体碳排放下降 50%以上。

2.5 分布式大维无线协同传输技术与系统验证（共性关键技术类）

研究内容：（1）研究集成通信、感知、无线传能和计算一体化的系统架构和关键技术方案。研究未来应用场景和用例，确定系统设计的需求和边界；研究集成通信、感知、无线传能和计算一体化的系统架构设计；研究帧结构、调制、发射波形和多天线相关的技术方案；研究通信、感知、无线传能和计算资源分配和协作互助的机制；研究网络环境下分布式部署方案、干扰管理和

波束管理等方案。(2)研究和开发原型验证系统,搭建具体场景下的验证环境,完成系统技术指标验证。研究分布式电子电路和电磁单元;研究高频段宽带分布式射频架构设计,开发原型验证系统,搭建规模化的无线组网环境,对各系统指标开展实验验证。

考核指标:形成集成通信、感知、无线传能和计算一体化的系统设计和关键技术方案,单簇下行峰值吞吐量达到每秒太比特,系统感知精度达到厘米级,5米距离处的传能功率达到毫瓦级;完成原型系统设计,搭建试验验证平台,完成演示验证。申请专利不少于20项,其中国际专利10项以上。

2.6 基于时空多维信息的大尺度星地融合组网技术(共性关键技术类)

研究内容:空间网络具有星座构型复杂、星间拓扑高动态、单星载荷资源受限、星间星地链路异构等与地面网络存在显著差异的特征,无法直接继承地面网络现有的成熟方案,针对未来星地融合网络的建设与发展需求,面向低轨星座系统,开展基于星座星历演化、星座和终端空间拓扑几何构型等多维时空信息的编址与路由机制、时空大尺度下的网络鲁棒性敏捷保障、星地无线接入与空间承载的联合QoS保障优化、确定性的端到端数据高速可靠传送等关键技术研究,构建半实物仿真验证系统,完成关键技术验证。

考核指标:多维时空基准的编址与路由支持多种星座构型的

大规模低轨星座（至少包括极轨和倾斜轨两种星座构型，星座总规模不低于 40000 颗，且支持扩展），其中卫星数量在 500 颗以内的路由收敛时间不大于 60s，卫星数量在 500~1500 颗以内的路由收敛时间不大于 90s，最短转发路径占比达 90%以上；支持不大于 20ms 的星上故障路径切换时延和不大于 50ms 的最优备份路径计算时延；支持面向多用户、多业务、多接入、多子网、多协议的端到端传输资源按需调度，支持不少于 8 种类型的星地无线接入与空间承载一体的差异化服务保障；对于时敏业务，低轨道星座内端到端（不超过 5 跳）传送时延不超过 60ms，传送时延抖动不超过 5ms（不含自由空间传播延时），支持零 RTT 握手与数据可靠传送能力；仿真验证系平台支持软件仿真大规模复杂星座（至少包括极轨和倾斜轨 2 种星座构型、不少于 3 层低轨道卫星轨道、单层轨道卫星数量不少于 1500 颗）。申请专利或登记软件著作权 10 项，半实物仿真验证系统 1 套。

2.7 高动态条件下的星地协同接入与传输技术（共性关键技术类）

研究内容：未来星地融合网络具有天地融合系统跨域多维资源统一调度、星地广域覆盖以及更大传输带宽、更大网络容量的特征，需要探索星地融合的新型接入与传输架构和方法，以满足未来广域智能连接的复杂业务需求。面向低轨星座中的多星、多

波束和星地协同等多场景异构接入与传输需求，研究异构融合传输机制与容量表征理论、星地融合协同接入与安全管理机制，多波束天线优化设计与跳波束管理、多域融合资源调度与干扰抑制机制、物理层安全传输等关键技术，构建半物理仿真验证系统，完成关键技术验证。

考核指标：建立基于星地融合协同接入与传输技术的体系架构，支持 **Ka**、**C** 等频段，在低轨卫星和地面网络间的频谱共享，星地同频共享谱段资源态势预测准确率不小于 90%，99% 干扰噪声比 (**INR**) 不大于 -10dB；完成多星协作通信下的传输信道建模，相比于单波束传输，完成采用多星或多波束协作传输，卫星系统下行峰值速率提升 100% 以上、下行平均频谱效率提升 30% 以上，上行峰值速率提升 50% 以上、上行平均频谱效率提升 15% 以上；设计星地跨域多维度资源联合调度方案，提升星地融合网络通信容量 50% 以上，低轨卫星波束接入速度提升 50%，资源联合调度复杂度提升不超过 30%；**Ka** 频段下物理层安全机制保障卫星有效覆盖区 5 公里外非合作用户误码率可达 50%，合法用户频谱效率损失不超过 10%；半物理仿真演示验证系统具备多种网络架构、协议、算法的模拟和评估能力。申请专利或登记软件著作权不少于 15 项，其中国际专利申请不少于 5 项。

2.8 卫星高性能处理平台与智能编排技术(共性关键技术类)

研究内容：为了构建“网络无所不达、计算无处不在”的新一代泛在通信和服务一体化网络，亟待提升天基网络卫星节点的云化计算能力与智能编排水平，从而满足接入网、核心网等网元以及应用处理等机能在轨灵活部署需求。按照“就近计算、分布存储、对等共享、按需服务”的发展理念，研究天基云原生架构高性能协同容错计算技术、星地协同边缘计算智能化技术、天基通信感知计算融合技术、天基存算融合传输技术以及网元弹性天地智能编排技术，研制星载计算平台原理样机，搭建半实物地面演示验证系统，完成关键技术验证。

考核指标：协同容错计算平台支持开放式计算存储架构，具备容器级、微服务级在轨实时部署能力，原理样机浮点运算能力不小于 2TFLOPS，存储能力不小于 10Tbit，重量小于 10 公斤，常态功耗不大于 100W，支持网络化集群，可通过资源灵活配置满足多种卫星应用场景；支持星地网络边缘智能、云边协同、边边协同能力，实现智能模型分级协作部署，支持 5 种以上的智能模型或算法，支持模型在线可信协作更新，支持秒级星地联合服务启动；设计星地融合、端到端的组网服务切片架构，在轨支持多种业务切片编排，切片服务响应分钟级；天基通信感知计算一体化处理技术，实现信息传递时延降低 50%，数据压缩率提高不小于 30%，算力均衡度提升 25%以上，能量效率大于 3×10^6 bits/J；

天基存算融合传输使信息传输效率提升 3 倍以上，考虑单粒子效应等异常情况，无地面干预条件下数据容错恢复率提升 20%以上；设计核心网等网元功能天地动态编排和部署方案，可实现在轨按需部署核心网服务不低于 3 种，服务启动时间 10 分钟级；研制星载计算原理样机，支撑构建半实物演示验证系统。需申请专利或登记软件著作权 15 项，提供半实物地面演示系统 1 套。

2.9 面向 6G 智能应用的新型网络架构与传输方法（青年科学家项目，拟支持 4 项）

研究内容：针对未来 6G 智能应用典型场景和多模态业务复杂需求，开展新型无线网络架构与传输方法研究。下述研究内容可选择 1 项或多项进行研究：（1）面向多模态业务的语义通信系统架构、语义通信隐私保护机制以及语义通信质量评价和保障机制；（2）面向全息通信和全息交互的新型系统架构以及多域精细感知、精准空间传输和实时精确重建等技术；（3）面向未来个性化、移动分布式智能业务需求的动态轻量级用户中心网络架构及用户侧与网络侧协同机制；（4）面向未来网络智能部署运维的开放、安全、可智能定义的新型无线接入网络架构和传输接入协议；（5）面向超宽带实时业务、适应密集部署和不同传输距离需求的超大规模 MIMO 新型远近场混合传输技术。

考核指标：分项对应上述研究内容：（1）支持多模态 6G 智

能业务，实现鲁棒语义表征、模型数据隐私保护等内生安全机制，建立语义通信质量评价体系，典型业务服务质量相比于现有 5G 通信系统大幅提升，或在相同服务质量条件下传输效率提高 50% 以上；（2）实现近似连续的空间复用、电磁环境实时全息调控，显著提高空间复用效率、系统容量和感知精度，空间复用效率提升 50% 以上，感知重建精度达厘米级，通信容量提升 1 倍以上；（3）形成动态轻量级用户中心网络架构和协议方案，支持用户对网络的适度控制及网络侧与用户侧的数据协同，支持秒级网络动态更新和分钟级网络动态生成，支撑的用户中心网络 > 1000 个，系统资源消耗相比专网减少 10% 以上；（4）形成开放、安全、可智能定义的新型无线接入网络架构和传输接入协议方案，支持 1 万以上节点规模的网络软硬件动态部署和高质量服务，实现智能网络感知、自主升级与安全运行；（5）建立阵元数目不低于 256 的超大规模 MIMO 远近场混合传播模型及空间信息的新型传播理论和传输机制，突破传统远场平面波传输和近场球面波传输的应用场景限制，提升远近场混合传播容量 1 倍以上。对上述各项研究任务，取得高水平理论研究成果和核心知识产权，发表高质量论文 2 篇以上，申请发明专利 3 项以上。

3. 超宽带光通信

3.1 逼近单模光纤容量极限的光传输系统理论与实验验证

（基础前沿类）

研究内容：面向单模光纤光通信系统扩容需求，聚焦系统容量提升的核心问题，研究以光纤非线性为代表的各类复杂传输损伤及相应的容量提升方法。基于现有系统器件水平和光链路条件，研究新型调制解调方式与通信系统设计方法，针对器件频偏大、端到端系统的 PDL 较大、光放增益不平坦和非线性功率转移等引入传输代价等问题，探索超高速光传输系统端到端全局优化方法；研究应用于波分复用光传输系统的低算法复杂度光纤非线性损伤均衡方法，突破单模光纤非线性对系统容量的限制，逼近香农容量极限；研究超高速光信号高增益编码调制、整形与均衡，建立超高速大容量光传输系统，实现单模光纤通信系统理论容量限优化理论和逼近方法的实验验证。

考核指标：形成超高速单模光纤光传输系统物理损伤理论与仿真模型，给出非线性约束下的理论容量限制；形成低复杂度的非线性均衡方案，提升波分复用系统的非线性容限并具有自适应能力，其性能相比传统数字反向传输非线性补偿方法相当且复杂度降低到传统数字反向传输方法的 10% 以下；形成逼近单模光纤通信系统理论容量限的设计方法和算法体系，在扩展 C+L 波段范围内（1524~1627nm）完成传输容量不小于 100Tb/s、传输距离不少于 1000 公里的单模光纤光传输理论验证实验系统。

3.2 基于空芯光纤的超大容量光传输系统研究(基础前沿类)

研究内容：针对目前光纤传输容量急剧增长的重大需求，聚焦可承载更大容量的新型光纤通信技术，解决现有单模光纤通信系统频谱效率低、非线性损伤大的难题，开展基于空芯光纤的超大容量、高频谱效率通信技术研究。研究空芯光纤的光传输理论，分析影响非线性、损耗、带宽和色散等性能的物理机制，建立基于空芯光纤的大容量通信理论模型；研制具有超低非线性和低损耗的空芯传输光纤（S+C+L+U 波段）；研究空芯光纤熔接问题，并研制空芯光纤连接和转换器件；搭建基于空芯光纤的超大容量、高频谱效率的通信系统。

考核指标：研制超低非线性、低损耗空芯光纤及连接器件，空芯光纤波长覆盖 S+C+L+U 波段（1450~1680nm），在 C+L 波段范围内最小传输损耗 $\leq 0.4\text{dB/km}$ ，S 波段范围内最小传输损耗 $\leq 0.8\text{dB/km}$ ，U 波段范围内最小传输损耗 $\leq 0.6\text{dB/km}$ ，在整个波段范围内最大传输损耗 $\leq 1\text{dB/km}$ 。空芯光纤熔接损耗 $\leq 1\text{dB}$ ，与单模光纤连接损耗 $\leq 0.8\text{dB}$ ，基于自研空芯光纤及连接器，实现超大容量、高频谱效率空芯光纤通信系统，系统总传输容量 $\geq 260\text{Tbit/s}$ ，系统频谱效率 $\geq 10\text{bit/s/Hz}$ ，传输距离 $\geq 50\text{km}$ 。申请发明专利不少于 20 项，其中国际专利不少于 5 项，提交 CCSA 标准提案不少于 2 项。

3.3 低成本高速中短距数据中心互联光通信系统（共性关键技术类）

研究内容：面向中短距数据中心互联（DCI）及城域全光网扩容需求，聚焦低成本单波长 800G/1.2T 中短距国产可控全光传输系统实现方法。研究中短距光互连及城域网场景下的低成本、低功耗、高性能的新型相干系统架构及评价体系；研究面向新型系统架构的光电融合集成芯片的设计、制备与封装技术，降低电域数字信号处理（DSP）芯片的复杂度和对高端工艺的依赖；研究新型相干架构对链路损伤和器件代价的容忍能力及补偿技术；研制支撑新型相干架构的低功耗低成本光电器件与模块，包括发端光源与调制模块、收端光电信号处理模块等；研制国产可控的新型低成本相干中短距光互联传输设备，开展现网示范应用。

考核指标：（1）采用新型低功耗低复杂度相干光传输技术实现单波速率不低于 1.2Tb/s 的 2~10km 数据中心光互连原型系统；（2）基于自研核心芯片和器件的国产可控新型相干光收发模块实现单波速率不低于 800Gb/s 的 10~80km 实时在线传输系统，相干光模块支持可插拔封装；（3）研制单波速率不低于 800Gb/s、支持不少于 40 波、单跨无中继传输距离不少于 80km 的全国产城域网超低成本中短距波分复用相干光传输设备，并完成现网应用示范；（4）申请发明专利不少于 20 项，其中国际专利不少于 5 项；

提交国际国内标准技术提案 10 篇。

3.4 基于精确感知的数字孪生及智能管控光网络（共性关键技术类）

研究内容：面向光网络“规划、建设、维护、优化、运营”全生命周期智能化、前瞻化、自动化的需求，开展光网络精确感知和智能运维技术研究，研究光网络多维度、实时、精确感知技术，研究光网络数字孪生体系架构和仿真建模机理，构建高速大容量光纤传输系统的数字孪生平台，研究基于机器学习算法和 AI 模型，实现光传输系统的精准仿真、故障智能定位和性能预测，在典型场景下完成数字孪生验证。研制基于数字孪生的光网络融合管控系统，实现高速大容量光纤传输网络的数字孪生和智能运维，开展光网络现网应用示范。

考核指标：研发光网络数字孪生平台，实现高速大容量光纤传输系统的数字孪生，建立从器件到网络业务的多层次孪生模型，网络节点数大于 200 个、传输速率不低于 100Gb/s、波长范围 C+L。实现光网络的精确感知，支持光链路衰减、光信噪比、非线性损伤等多种指标的感知与表征，支持数据与模型深度融合，关键参量指标数量不少于 50 个，实时感知性达到亚秒级 ≥ 10 种；基于机器学习算法和 AI 多维参数模型实现对线路/OTS/OCH 健康度的准确预测。研制基于数字孪生的光网络融合管控系统，支持不

少于 3 个智慧运维场景（例如：光网故障溯源、性能劣化、业务快速发放等），在现网中开展不少于 3 种智慧运维场景的示范应用。申请不少于 15 项国内发明专利，提交不少于 5 篇国际国内标准技术提案。

3.5 面向深海光通信系统（共性关键技术类）

研究内容：面对未来深海探测网对广域高速跨介质低延时通信的迫切需求，研究构建支撑深海探测的贯通水下-跨水面-空天的新型高速通信系统及网络架构，建立水下有线无线融合光通信、空海跨介质光通信、多通信制式协同自适应空间光通信等多通信模式融合的光通信技术体系。重点开展整体通信系统架构设计、通信信道模型分析、水下光纤无线融合接入节点及其高效供能、高功率高调制速率高效发射、蓝绿光阵列集成收发、水上水下跨界质传输平台、高性能高效编解码以及大气与水下信道衰减机理与补偿抑制等关键技术攻关，实现不同应用场景下的高速激光通信系统的试验验证，为深海高速光通信系统的可行性和工程应用奠定技术基础。

考核指标：（1）完成海洋大气环境长距离大容量空间激光通信系统：研制具有自主知识产权的海洋环境海面高速空间激光通信传输设备，实现非极端海洋大气环境下大陆及岛礁平台间速率不低于 40Gbps、距离不小于 20km 的高速空间激光通信。（2）水下光纤/无线光融合光通信系统：提出新型水下立体通信系统架构，研制具

有自主知识产权的光纤/无线光融合型水下光通信设备，实现水下不小于 10km 范围内光纤通道与纤/无线光融合光通信系统，系统容量达到 10Gbps。(3) 空海跨介质高速光通信系统：研制具有自主知识产权的连接水下与水上的空海跨介质光纤/空间融合型高速光通信系统及浮标载体平台，实现水下与空中光通信终端间的系统通信容量不小于 10Gbps。(4) 深海视距激光通信系统：研制适应水下复杂信道的具有自主知识产权的深海水下视距激光通信传输设备，实现速率 1~100Mbps、距离 10~150m 的水下视距无线光通信。申请不少于 15 项国内发明专利，国际专利不少于 5 项。

3.6 面向多模态应用的新型融合光通信与光交换研究（青年科学家项目，拟支持 4 项）

研究内容：针对多模态应用对超大容量通信和光交换需求，开展光无线融合通信和多模态全光交换理论和技术研究，下述研究内容可选择 1 项或多项进行研究：(1) 研究光纤信道与无线信道的融合理论以及新型点到多点超大容量模拟或模数混合前传架构、编码调制、信道补偿算法与灵活调度机制；(2) 研究基于光子无线融合系统的感知通信一体化架构和实现方法以及端到端的光子无线信道融合基础理论，实现光子无线融合感知端到端优化处理方法；(3) 研究支持子波长、波长和多波长等全光交换粒度模态的多模态全光交换网络体系架构和跨模态协同交换理论，突

破当前可重构光上下路复用技术限制。

考核指标(分项对应上述研究内容): (1)形成光与无线融合信道通信理论,构建光与无线融合前传系统,实现单波长 CPRI 等效速率 $\geq 2\text{Tb/s}$, 传输距离 ≥ 10 公里, $\text{EVM} \leq 2.5\%$ (支持 1024QAM)。实现光纤信道资源灵活调度,资源利用率提升至少 20%; (2)形成面向 FTTR 室内高速光子无线融合接入的端到端智能感知光子无线融合通信一体化系统架构及理论模型,实现光纤信道和无线信道的融合环境感知功能,系统工作频段 $\geq 60\text{GHz}$ 、单通道通信速率 $\geq 50\text{Gb/s}$ 、定位精度 $\leq 5\text{cm}$ 、成像距离分辨率 $\leq 3\text{cm}$,具备端到端智能星座优化及信道均衡的能力,通信速率和定位精度等指标达到国际领先水平; (3)提出至少支持子波长和波长 2 种模态的多模态全光交换网络体系架构、跨模态协同交换理论及多模态全光交换弹性路由算法,完成支持线路维度不少于 32 维的无阻塞波长交换原型设备,完成支持子波长光通道数不低于 100 个/波长、交换引入的开销占比不高于 5%、支持光交换端口数不低于 4 个的子波长细粒度模态无阻塞全光交换原型设备研制,并完成不少于 3 个节点的组网实验验证。对上述 3 项研究任务:申请发明专利分别达 5 项以上。

“区块链”重点专项 2022 年度项目申报指南

为落实“十四五”期间国家科技创新有关部署安排，国家重点研发计划启动实施“区块链”重点专项。根据本重点专项实施方案的部署，现提出 2022 年度项目申报指南。

本专项总体目标是：聚焦区块链领域的紧迫技术需求和关键科学问题，建立自主创新的区块链基础理论体系，突破区块链系统构建共性关键技术，加强区块链监管与治理技术研究，构建自主知识产权的区块链基础平台，开展重大应用示范。专项实施周期为 5 年（2021—2025 年）。

2022 年度指南部署坚持需求导向、问题导向，围绕区块链基础理论、区块链系统构建共性关键技术、区块链安全监管与治理技术、区块链基础平台、重点领域示范应用等 5 个方向，按照基础前沿、共性关键技术、基础平台、应用示范、青年科学家项目五个层面，启动 15 项指南任务，拟安排国拨经费 1.78 亿元。其中，青年科学家项目拟安排国拨经费 600 万元，每个项目 200 万元。共性关键技术类项目配套经费与国拨经费比例不低于 1.5:1，基础平台、应用示范类项目配套经费与国拨经费比例不低于 2:1。

项目统一按指南二级标题（如 1.1）的研究方向申报。申报项目的研究内容必须涵盖二级标题下指南所列的全部研究内容和考核指标，实施周期不超过 3 年。基础前沿类项目下设课题数不超过 4 个，项目参与单位总数不超过 6 家；共性关键技术、基础平台、应用示范类项目下设课题数不超过 5 个，项目参与单位总数不超过 10 家。每个项目设 1 名项目负责人，项目中每个课题设 1 名课题负责人，项目负责人可同时担任 1 个课题负责人。

青年科学家项目不再下设课题，项目所含参与单位总数不超过 3 家。项目设 1 名项目负责人，项目负责人年龄要求，男性应为 1984 年 1 月 1 日后出生，女性应为 1982 年 1 月 1 日后出生。原则上团队其他参与人员年龄要求同上。

除指南中特殊说明外，每个指南任务拟支持项目数为 1~2 项。“拟支持项目数为 1~2 项”是指：在同一研究方向下，当出现申报项目评审结果前两位评价相近、技术路线明显不同的情况时，可同时支持 2 项。2 个项目将采取分两个阶段支持的方式，第一阶段完成后将对 2 个项目执行情况进行评估，根据评估结果确定后续支持方式。

1. 区块链基础理论

1.1 面向区块链分布式场景的密码技术（基础前沿类，拟支持 2 项）

研究内容：针对分布式场景下区块链安全性、可扩展性和性能等需求，研究异步网络环境下区块链中应用的分布式密码系统和密码算法设计理论，设计针对分布式密码算法的密钥管理机制，设计具有可证明安全性的分布式数字签名算法；针对区块链的隐私保护和监管需求，研究环签名、代理重加密、多重签名等密码技术的设计理论，结合其在区块链中的应用，设计安全高效的环签名算法、代理重加密协议和多重签名算法；针对区块链在节点规模、系统性能等方面的需求，研究分布式协商协议的设计理论，设计安全高效的分布式协商协议。

考核指标：设计针对分布式密码算法的密钥管理机制，可支持密钥的分布式生成和安全更新，支持国家密码管理部门认可的密码算法，通信复杂度达到立方级；提出具有可证明安全性的分布式数字签名算法，支持至少 100 个以上的交互参与方，满足抵抗恶意中止健壮性等特性，时间复杂度达到线性对数级；提出具有可证明安全性的分布式协商协议，通信复杂度达到线性级或时间复杂度达到常数级；提出具有可证明安全性的环签名算法，满足可追踪、可撤销、可聚合等特性，通信复杂度达到常数级；提出具有可证明安全性的代理重加密协议，满足密文不可链接性和抗合谋安全性等特性，支持多次代理；提出可证明安全的多重签名算法，满足可追踪等特性；发表高质量论文，申请发明专利 10

项以上。

1.2 面向区块链的抗量子计算公钥密码技术（基础前沿类）

研究内容：针对量子计算对区块链密码的安全威胁和对区块链系统带来的长期安全挑战，研究具有抗量子计算能力的区块链密码算法设计理论，设计可抵抗量子攻击的数据加密、数字签名等区块链密码算法；设计可抵抗量子攻击的身份认证、安全通信、安全共识等区块链密码协议；研究抗量子安全的区块链系统设计理论和数据安全存储技术，提出抗量子安全的区块链原型系统设计方法；研究抗量子安全的公钥密码算法快速安全实现技术；研究区块链中现用密码技术向抗量子计算密码技术迁移的解决方案。

考核指标：提出在抗量子安全模型下具有可证明安全性的区块链密码算法，算法应至少具有 128 比特的量子安全强度，可支持数据加密、数字签名等功能，算法单次加密解密或签名验签时间合计小于 1 毫秒，算法加密密文尺寸小于明文尺寸 50 倍，算法签名尺寸不超过 5,000 字节，在相同安全级别下相比于国际同类算法计算或通信效率提升不低于 15%，设计的抗量子安全公钥密码算法应具备侧信道防护能力；提出在抗量子安全模型下具有可证明安全性的区块链密码协议，可支持身份认证、安全通信、安全共识、身份隐私保护等功能；提出具有抗量子计算能力的区块链原型系统设计方案，系统应支持不少于 50 个的共识节点，

并分析系统性能与抗量子密码算法参数之间的关系，给出满足不同应用场景需求的优化算法参数选取方案并在原型系统中进行验证；提出区块链中现用密码技术向抗量子计算密码技术迁移的解决方案；发表高质量论文，申请发明专利 10 项以上。

1.3 高延展性可证明安全共识算法及系统设计理论与方法（基础前沿类，拟支持 2 项）

研究内容：针对拜占庭共识机制的动态节点增删安全性缺乏理论保障、异步网络环境安全性难以保障、大规模网络难以支持、系统可延展性弱等问题，研究可证明安全高效、可支持动态节点、高延展性、高吞吐量的共识机制设计理论；构建复杂网络环境下共识协议的合理安全模型；研究在网络异步/半同步及大规模节点的环境中同时保障安全性及活性的高性能共识算法和负载低、延展性强的容错系统架构；设计安全共识机制中的密码学及关键技术组件（门限签名、聚合签名、可靠广播等）的优化算法，研究基于以上方案的新型可证明安全的高效分片共识方案。

考核指标：给出支持节点动态加入和离开的可证明安全的拜占庭共识算法，延迟增幅低于 50ms；给出精准的共识评估模型刻画共识协议的安全性；提出具有可证明安全性的共识算法，在网络带宽不低于 100Mbps 时，延迟低于 200ms，吞吐量达到 60,000TPS（每秒处理事务）；对安全共识系统中需要的密码学、

分布式系统关键组件进行优化和改进，并提出高效分片共识及存储方案，可延展至 500 个节点以上，在与非分片模式相同的时延下，分片后吞吐量提高 200%；发表高质量论文；申请发明专利 10 项以上。

1.4 智能合约与法律的创新理论及方法（青年科学家项目）

研究内容：针对法律条文因自然语言歧义性、模糊性带来的法律风险，研究基于区块链智能合约表达法律条文的法学原理；研究基于智能合约的法律条文表征模型，降低法律诉讼的经济和时间成本；分析对法律条文进行形式化表达的可行性与正当性，研究法律条文与对应形式化表达模型之间的一致性判定方法，比较法律条文的形式化表达和文字表达之间的优劣；研究面向法律条文的智能合约语言，研发转换至可编程语言引擎，形成可执行的智能合约；研究法律条文智能合约的高效生成和验证方法，保障一致性、准确性和安全性；研究智能合约应用的法律规制，设计智能合约监管合规化技术方案和相应的评测方法；研发以智能合约对法律条文进行诠释的原型应用系统。

考核指标：建立 1 套用智能合约表达法律的法理理论和基于智能合约的法律条文表征模型；设计 1 种面向法律条文的智能合约语言，具备表达不少于 3 种法律条文类型的能力；研发可编程语言引擎，支持转换至不少于 2 种编程语言的可执行智能合约；

构建针对合约化的法律条文评测体系，支持生成智能合约与法律条文的一致性不低于 90%，法律条文要素规则关联的准确性不低于 85%；形成 1 套智能合约应用的配套监管规范，提出智能合约的法律规制建议；研发 1 套支持不少于 3 类应用场景的智能合约表示法律条文的原型系统；发表高质量论文，申请发明专利 5 项以上。

1.5 面向区块链的新型密码研究（青年科学家项目，拟支持 2 项）

研究内容：针对区块链在安全性与隐私保护等方面的需求，开展适合区块链的新型密码理论和技术研究。下述研究内容可选择 1 项或多项进行研究：（1）研究同态密码等新型密码的设计以及在区块链中的具体应用；（2）研究适用于区块链的新型杂凑函数的设计；（3）研究零知识证明、隐私计算、匿名签名等实现区块链隐私保护的密码。

考核指标（分项对应上述研究内容）：（1）提出适用于区块链的同态密码算法新型设计理论和实用化关键技术，提出或实现与 SEAL、Helib、HEAAN 等开源库具有可比较性能或针对区块链应用具有明显优势的全同态密码方案；（2）设计适用于区块链的具有 256 比特安全强度的新型杂凑函数，能抵抗已知攻击并具备充足的安全冗余，且实现性能与 SHA3-512 相当；（3）设计支持

轻量级终端的可证明安全的非交互式零知识证明方案，设计布尔电路单次 AND 门计算效率达到微秒级以下的隐私计算协议，设计常数签名长度的可证明安全的匿名签名方案。

2. 区块链系统构建共性关键技术

2.1 区块链存储与数据管理关键技术与方法(共性关键技术类)

研究内容：针对区块链数据管理实现低时延高吞吐面临的技术瓶颈，研究区块链多模态数据多种类节点链上链下轻量化高效存储方法；研究支持多模态数据溯源与复杂查询的高效可信执行与检索技术；研究支持多种类节点间高吞吐、高并发事务处理机制，支持多源数据共享与协同执行；研究分片下的自适应可验证索引高效构建方法与动态可扩展共识策略；研制高吞吐低时延的区块链数据管理系统，并在医疗、金融、交通、公共安全、食品等至少 3 个领域的联盟机构进行应用验证。

考核指标：针对区块链多模态数据管理共享协同需求，研究区块链数据管理关键技术与方法，实现区块链环境下的高效数据管理系统；研究在全节点与轻量化节点混合架构下，支持数值、文本、序列、视频等 4 种模态以上的数据共享、轻量化存储方法，并支持 PB 级数据规模应用；提供支持复杂查询以及溯源查询的可信查询算法，响应时间达到百万条/秒级；多模态数据共享负载下区块链数据管理系统吞吐率达到 60,000TPS 以上；支持 4 种以

上可验证索引自适应构建方法；在医疗、金融、交通、公共安全、食品等至少 3 个领域进行高性能区块链数据存储与管理应用验证；申请发明专利 15 项以上。

2.2 区块链智能合约语言关键技术（共性关键技术类）

研究内容：针对我国在智能合约编程语言方面缺失的现状，研究简洁、安全的智能合约编程语言，支持复杂业务逻辑的抽象和表达；研究针对该编程语言的编译器，实现词法分析、语法分析、代码生成、代码优化等功能；研究针对该智能合约语言的执行引擎，使智能合约的部署和执行具有性能高、资源开销小等优势；研究针对该智能合约语言的验证工具，可基于模型检验或定理证明方法对智能合约的正确性、安全性进行验证；研究针对该智能合约语言的智能化开发环境，构建支撑智能合约开发、管理的软件平台。

考核指标：设计 1 种新型智能合约编程语言，支持常规数据结构，支持常规数据结构的序列化与反序列化，支持循环、递归等操作，支持常用密码算法（含国家密码管理部门认可的密码算法），支持安全的智能合约版本升级，支持并行执行，支持异步函数调用，支持周期性自动事务，支持原生交易索引语义，支持异常捕获与处理机制，支持定义合约事件，支持跨合约调用；研发针对该智能合约语言的编译器，支持智能合约代码按级别优化，

支持智能合约 ABI 生成，支持生成智能合约代码调试符号；定义智能合约语言的基础算子及指令集，研发针对该智能合约语言的执行引擎，支持用户输入参数调用执行智能合约中的方法，记录合约执行的结果、事件、异常和执行所消耗的资源并支持高效响应和处理机制，支持限定合约执行的资源消耗上限，引擎执行性能达到单线程每秒 1 亿次整数操作，执行内存消耗不超过状态及输入参数总量的 2 倍，支持自动垃圾回收；研发针对该智能合约语言的验证工具，支持基于智能合约功能规范和智能合约代码实现的正确性验证，支持基于通用漏洞和用户自定义漏洞的安全性验证；研发针对该智能合约语言的智能化开发环境，支持智能合约在线编译、调试、测试、管理，支持多人协作开发模式；在不少于 3 个区块链平台上集成执行引擎，在金融、政务、民生等领域落地不少于 5 个示范应用；申请发明专利 15 项以上。

2.3 区块链链上链下数据可信交互关键技术（共性关键技术类）

研究内容：针对区块链系统无法保证链下数据来源真实性、传输可靠性、隐私安全性、上链及时性等问题，研究区块链与物联网、边缘计算、大数据、隐私计算等技术的融合创新，保障链上链下数据的可信交互；研究低时延高安全自适应可监管的链上链下网络通信方案，支持在多类型终端大数据容量和复杂网络环境下数据的高效安全传输，以及区块链系统与其他系统之间的数

据交换；研究支持国家密码管理部门认可密码算法的隐私保护算法及标准化工程实现，提高数据的隐私保护能力，支持可验可查但敏感数据不上链、隐私数据不泄露场景；研究跨行业通用的链上链下互操作方案，支持多层级跨系统大规模的链上链下数据交互并进行应用验证。

考核指标：研究 1 套通用的区块链链上链下数据可信交互技术框架，实现数据来源真实、网络传输可靠、执行过程可信及敏感信息安全，支持不少于 3 种异构链架构适配，适用于不少于 5 类多源数据；提出不少于 5 种保障数据可信性的方法，支持权威监管机构对数据传输的全程可追溯和审计，并验证存在虚假来源、传输干扰等不可靠环境中的有效性；提出不少于 3 种支持国家密码管理部门认可密码算法的链上链下数据隐私保护方法，实现敏感数据链下存储链上映射，有效保障使用过程中敏感数据的正确性、隐私性和安全性；提出不少于 1 种低时延高安全自适应的链上链下网络通信方案，实现千万级数据量下数据上链时延不超过 1 秒，数据传输过程安全可靠，具备网络异常情况下的主动容错能力；在金融、农业、交通、工业互联网、智慧城市、能源等不少于 3 个行业中选择至少 10 类区块链典型应用场景验证万级数据终端 TB 级数据量下的平台技术成果；申请发明专利 15 项以上；提交国际/国家/行业标准草案 1 项以上。

2.4 安全弹性的区块链网络关键技术（共性关键技术类）

研究内容：针对底层网络的可靠和健壮对于区块链应用和系统的安全可信与执行效率的重要性，研究提升区块链承载网络传输性能的关键技术以及对常见网络攻击的安全防护机制；设计区块链网络的安全架构，具有较强的故障容忍性；研究新型的网络拓扑结构，区块链网络数据的通信和转发算法，网络数据的编码和压缩方法，以降低区块链数据在全网转发的时延，提高通信的有效带宽利用率，同时保证区块链系统的安全性，即对各种网络协议攻击的抵御能力；研究区块链网络的端到端确定性传输技术，保证各区块链节点之间的有限时延抖动；研究流量调度和拥塞控制技术，对不同类型的上层服务提供效率支持，避免底层网络的时延波动及拥塞丢包现象；研究基于内生安全的 DDoS 防御技术，结合真实源地址验证，防止基于伪造地址的多类 DDoS 洪泛攻击，并提出对异常安全行为的事后追溯机制。

考核指标：针对先进的区块链系统体系结构提出并实现高性能高可靠的网络通信系统架构。（1）在受限可控的网络环境下，新型区块链承载网络能够保证在节点数 500，带宽 1Gbps 的条件下，端到端的交易时延小于 500 毫秒，网络抖动小于 100 微秒，且该抖动不受地理距离和转发跳数影响；区块链承载网络能避免网络拥塞造成的丢包现象，保障覆盖网络的高质量通信，实现零

拥塞丢包目标；可防御不少于 5 种常见 DDoS 攻击，不少于 2 种 DDoS 洪泛攻击。（2）在开放公有的网络环境下，在单分片的架构下，在节点数不小于 5000，带宽 40Mbps 以及全球节点部署的条件下，网络通信系统能够支撑至少 10,000TPS 的区块链转账交易吞吐率（可在仿真环境中测试，如在实际区块链系统中部署更佳）；平均 95% 的区块或交易数据能够在 15s 内传播至 95% 的节点，网络传输的数据冗余度小于 10%；网络具有较强的故障容忍能力，网络系统能够抵御日蚀攻击，DDoS 攻击，交易转发协议及编码中的哈希碰撞攻击，以及不诚实转发行为等网络攻击。申请发明专利 15 项以上。

2.5 高性能自适应跨链互通关键技术及试验验证（共性关键技术类）

研究内容：研究可扩展自适应跨链互通架构，支持大规模同构/异构区块链动态接入，实现多种链间互通模式、多种跨链传输验证机制等的自适应配置，满足不同接入区块链在性能、安全、隐私等方面的差异化需求。研究高性能跨链交互机制，设计实现跨链交互协议栈，实现高效、高并发的跨链传输验证与事务处理，满足链间信息与信任传递的高通量与低时延；研究跨链应用的跨平台实现与部署机制，支持跨链应用在异构接入区块链中的灵活便捷部署与发现，研究跨链资源发现机制，实现跨链资源的快速

定位与发现；研究跨链治理与监管技术，实现细粒度的跨链资源访问控制、跨链隐私保护与多层级监管接入机制，解决跨链技术落地与实际应用中的管理难、定责难等问题。

考核指标：提出可扩展自适应异构跨链架构，其中异构是指区块链的共识机制等底层实现不同；设计实现高性能跨链交互协议栈，支持读请求和写请求的确认时延与跨链交互的确认时延保持在同一数量级；提出面向跨链体系的治理与监管机制，包括链的接入准入、跨链资源访问控制、跨链隐私保护、跨链监管技术等；构建 1 套跨链验证平台，具备支持不少于 5 种 100 条区块链动态接入的能力，并实现任意接入平行链间的跨链互操作，支持 5 种以上链链互通模式、3 种以上跨链验证方法，支持不同接入区块链间的按需自适应配置，支持国家密码管理部门认可的密码算法；设计 5 种以上跨链应用，每种应用至少在 3 种以上异构区块链部署实现，并在金融、政务、民生、工业、农业等领域选取具有多链跨链需求的典型应用场景开展试验验证；申请发明专利 15 项以上，提交国际/国家/行业标准草案 1 项以上。

2.6 区块链可证明安全隐私保护技术（共性关键技术类）

研究内容：针对区块链数据公开透明、无中心节点管控、隐私保护困难的问题，研究区块链系统的隐私安全风险，研究通用的安全可重组的隐私安全模型与形式化验证方法；研究监管友好

的区块链交易隐私保护机制，研究基于零知识证明和账号匿名的可证明安全身份隐私保护方案，以及基于同态加密和安全多方计算的可证明安全内容隐私保护方案，在保护交易身份和交易内容等敏感的交易信息的同时实现对异常交易的识别和追踪溯源；研究基于国家密码管理部门认可的密码算法的隐私交易平台并开展示范应用。

考核指标：区块链协议具备在并发混合使用场景下的安全性，提供严格的形式化等证明，实现区块链交易隐私保护机制的功能正确性和规范一致性证明，满足可追溯性和可验证性；提出不少于 3 种区块链交易隐私保护方法，保护交易身份和内容等敏感信息并支持权威监管机构对异常交易信息的识别和追踪溯源；区块链隐私交易平台支持用户账户数量不低于 10 亿，支持日交易量不低于 10 亿笔，链上存储量可弹性扩展；基于平台技术成果落地不少于 3 类应用；申请发明专利 15 项以上，提交国际/国家/行业标准草案 2 项以上。

3. 区块链安全监管与治理技术

3.1 基于区块链的社会治理与风险防控技术及应用（共性关键技术类）

研究内容：针对疫情防控、反洗钱、反电信诈骗、网络信息风险防控等社会治理与风险防控中的精准、可信、智能、实时等

需求，研究融合区块链、大数据、人工智能、物联网等技术的社会治理与风险防控技术体系；研究基于区块链的分布式数字身份、数据安全可控流转的数字化社会治理可信服务关键技术；研究基于区块链、机器学习和图计算的社会风险防控规则智能化构建技术；研究融合高性能区块链、实时大数据、人工智能和物联网的社会风险实时监测、分析、预警和存证技术；研发基于国产自主知识产权技术的区块链社会治理与风险防控技术平台，并在社会风险防控典型应用场景进行应用验证。

考核指标：提出融合区块链、大数据、人工智能、物联网的社会治理与风险防控技术架构；构建面向数字化社会治理可信服务支撑技术体系，包含分布式数字身份管理、隐私数据可信安全共享等功能，支持 10 亿规模分布式数字身份账户，支持不少于 10 种隐私数据可信共享算法；提出社会风险防控规则智能化构建技术和自动化部署方案，支持知识规则、特征规则、神经规则和图规则等 3 类以上规则的智能化构建技术；构建实时、智能的社会风险监测、分析、预警、存证技术能力，风险关联数据同步存证，日均数据存储量达 TB 级，支持图片、音视频等数据类型，社会风险监控流量不低于每秒 1,000,000 条，每项风险监控指标计算时延小于 100 毫秒；实现基于国产自主知识产权技术的区块链社会治理与风险防控技术平台，在疫情防控、反洗钱、反电信欺

诈、网络信息风险防控等 2 个以上社会风险防控典型应用场景得到应用验证；申请发明专利 15 项以上，提交国际/国家/行业/团体标准草案 2 项以上。

4. 区块链基础平台

4.1 非开源联盟链基础平台（基础平台类）

研究内容：构建具备自主知识产权的、能满足国家重要核心领域非开源要求的高可控、高安全隐私、高性能可扩展、监管友好联盟链基础平台（简称“非开源自主可控联盟链平台”）；研究支撑海量用户与应用场景的弹性可扩展区块链架构；面向国家密码管理部门认可的密码算法、多维度隐私保护技术、区块链安全态势感知技术、区块链隐蔽通信及其检测技术、身份安全与密钥管理技术、智能合约安全度量与漏洞检测技术，构建国家商用密码级的安全隐私体系；面向联盟链以链治链分布式监管技术、沙盒式/嵌入式/穿透式监管技术、链上链下协同监管技术，构建面向异构多层级区块链平台的监管监测体系，提高监管感知、管控与溯源能力。

考核指标：非开源自主可控联盟链平台应支持国家密码管理部门认可的密码算法，并在自主可控联盟链先进的平台架构、安全隐私保护、监管监测等方向具备完全自主知识产权，平台自主代码比例不低于 60%，关键核心组件自主代码比例不低于 90%；平台每日可处理交易 10 亿笔以上，支持用户账户数量 10 亿以上，

性能峰值吞吐率 100,000TPS 以上，交易平均时延小于 1 秒，链上存储量可弹性扩展；支持区块链身份认证安全保护机制、分级访问控制机制、隐私数据和隐私合约保护机制、隐蔽通信及检测机制、国产加密及数据密态运算机制，实现全链路多层次安全隐私保护，支持不少于 5 种的区块链安全保护机制，检测和抵御 5 种以上的恶意隐蔽通信方法；实现监管友好的区块链隐私保护系统，支持权威监管机构对异常交易信息的追踪溯源，支持以链治链监管框架，具备 3 种以上区块链监管能力手段，识别不少于 10 种异常行为模式，建立非法行为识别信息库，识别准确率不低于 95%，形成涵盖金融监管、行业监管和内容监管的区块链协同监管体系；在金融、政务、民生、工业、农业等关键领域选择不少于 3 个落地示范应用，每个示范应用的注册用户规模不少于 10 万个；申请发明专利 30 项以上，软件著作权 5 项以上，提交国际/国家/行业标准草案 3 项以上。

5. 重点领域示范应用

5.1 基于区块链的卫生健康数据可信共享技术及示范应用 (应用示范类)

研究内容：针对卫生健康数据的可信共享、深度利用等需求，研究基于区块链技术的信息平台，促进标准化、要素化、安全性、隐私保护下卫生健康数据的有效流通及价值发掘。研究区块链适

用的多类型卫生健康数据标准、存储机制和链上链下协同交互机制，支持数据的规范上链、可靠存储与可信共享，提升数据存储与协同共享效率，提高链上数据的可用性；研究高协同卫生健康数据的可信共享与查询审计机制，保证数据使用全流程可稽查、可追溯，促进区块链技术在即时质控、精准评估中的应用；研究基于区块链临床路径全生命周期监管体系，加强治疗过程中的程序化，有效促进事故定责、医疗监管应用；研究多角色主体间多方协作机制，并设计面向卫生健康数据的要素化语义网络及电子病历语义质量评估标准，运用区块链技术解决身份认证、访问控制、权限管理、确权鉴权、价值评估、权利分配等问题；研究基于区块链卫生健康隐私保护下的用户对齐、协同分析、同态加密等技术，在防范卫生健康数据泄露、滥用、侵权等风险的前提下，实现跨机构卫生健康数据的深度利用；研究基于区块链的卫生健康数据可信联邦学习范式及数据治理方法；开展基于区块链的卫生健康数据示范应用，有效支撑卫生健康数据的可靠存储以及多角色主体间的可信共享。

考核指标：提出基于区块链的卫生健康数据可信存储和链上链下协同交互机制与算法，构建覆盖卫生健康领域 15 种以上国际标准的医学语言系统，包含 500 万以上医学概念，提升数据共享效率与可用性；提出面向高协同卫生健康数据的可信共享与查

询机制，研发相应软件系统与工具；提出多角色医疗主体间的多方协作机制，形成 1 套支持卫生健康数据要素定义及规则推理的知识图谱，至少包含 3000 万概念关系，1000 条推理规则，解决身份认证、访问控制、权限管理、确权鉴权、价值评估、权利分配等问题；提出不少于 3 项卫生健康区块链隐私保护技术，研发不少于 8 种密文等效机器学习和深度学习方法，防范卫生健康数据泄露、滥用、侵权等风险；构建融合区块链与联邦学习的可信分析系统，支持不少于 5 种分布式统计分析方法，构建至少 10 个病种的数据治理方法；建成覆盖至少 3 个城市、不少于 3000 万患者链上数据索引的示范应用平台，有效支撑 PB 级卫生健康数据在多角色医疗主体间的可信共享，产生显著的经济社会效益；开发软件工具 30 项以上，申请发明专利 20 项以上，提交国际/国家/行业/团体标准草案 3 项以上。

5.2 基于区块链的可信碳交易与碳中和管理示范应用（应用示范类）

研究内容：贯彻国家碳达峰碳中和的重大战略决策，针对构建高比例清洁能源和多主体低碳资源可信交易与电碳协同运行的应用需求，利用自主可控的区块链底层开放框架平台，建立支持全域碳排放可信监测的高性能区块链体系架构；研究区域碳排放源在线感知辨识、融汇、溯源技术，构建清洁能源生产、交易、

消费关键环节和碳足迹全生命周期可信追踪模型、履约执行及实时监管的机制与方法；研究适应低碳清洁能源市场主体低成本接入认证技术和分级安全防护方法；研究基于区块链技术的企业与个人碳数据记录装置与核算交易机制，实现用户大规模参与的情况下碳交易市场的可靠、高效、稳定运行；构建精准的多维碳排放和碳减排追踪、核查、确权和优化系统，并形成基于区块链的碳交易示范应用。

考核指标：提出 1 套面向清洁低碳能源交易的区块链体系架构方案，部署区块链公共服务平台，节点不少于 30 个，交易并发处理性能达到国内先进水平，可为每一笔低碳清洁能源交易的真实性提供可信标记和追踪溯源；研制 1 套基于区块链的区域碳排放可信管控平台，支持区域碳排放流的全景、精确、可信监测，以及电碳联合市场协同运行，形成涵盖申报、核查、配额分配、交易、清算等环节的智能合约数不低于 10 类，业务响应验证时间满足实际应用需求；选取 2~3 个省级示范园区规模的典型应用场景，开展碳交易与碳中和管理示范应用，绿电交易量电量不低于 3000 万千瓦时，减少碳排放不少于 3 万吨；开发软件工具 30 项以上，申请发明专利 20 项以上，提交国际/国家/行业标准草案 3 项以上。

“微纳电子技术”重点专项 2022 年度项目申报指南

为落实“十四五”期间国家科技创新有关部署安排，国家重点研发计划启动实施“微纳电子技术”重点专项。根据本重点专项实施方案的部署，现提出 2022 年度项目申报指南。

本专项总体目标是：抓住微纳电子技术的重大变革机遇，聚焦集成度、能效和设计效率三大瓶颈问题，重点突破微纳电子技术领域的前沿基础问题和关键共性技术，通过新器件、新方法、新电路和新集成的多维协同创新，形成一批具有世界先进水平的创新成果，通过关键核心技术突破带动相关技术领域的全面进展，支撑战略性新应用。专项实施周期为 5 年（2022—2026 年）。

2022 年度指南部署坚持问题导向、分步实施、重点突出的原则，拟围绕超越摩尔的微纳器件技术、智能与敏捷设计方法、新应用驱动的电路技术、模块化组装与集成等四个技术方向，按照基础前沿、共性关键技术、青年科学家项目三个层面，启动 19 项指南任务，拟安排国拨经费 2.36 亿元。其中，青年科学家项目拟安排国拨经费 3900 万元，每个项目 300 万元。共性关键技术

类项目配套经费与国拨经费比例不低于 1:1。

项目统一按指南二级标题（如 1.1）的研究方向申报。申报项目的研究内容必须涵盖二级标题下指南所列的全部研究内容和考核指标，实施周期不超过 4 年。基础前沿类项目下设课题数不超过 4 个，参与单位不超过 6 个；共性关键技术类项目下设课题数不超过 5 个，项目参与单位总数不超过 10 家。项目设 1 名项目负责人，项目中每个课题设 1 名课题负责人。

青年科学家项目不再下设课题，项目所含参与单位总数不超过 3 家。项目设 1 名项目负责人，项目负责人年龄要求，男性应为 1984 年 1 月 1 日后出生，女性应为 1982 年 1 月 1 日后出生。原则上团队其他参与人员年龄要求同上。

除指南中特殊说明外，每个指南任务拟支持项目数为 1~2 项。

“拟支持项目数为 1~2 项”是指：在同一研究方向下，当出现申报项目评审结果前两位评价相近、技术路线明显不同的情况时，可同时支持 2 项。2 个项目将采取分两个阶段支持的方式，第一阶段完成后将对 2 个项目执行情况进行评估，根据评估结果确定后续支持方式。

1. 超越摩尔的微纳器件技术

1.1 后端兼容的二维半导体晶圆、器件与电路研究（基础前沿类）

研究内容：面向集成电路先进工艺节点和三维异质集成的发展需求，研究二维半导体单晶晶圆制备；开发后端兼容的关键器件工艺，包括无损转移、欧姆接触、介质集成、三维堆叠，实现高性能二维半导体晶体管；开发基于二维半导体的垂直堆叠互补场效应晶体管（CFET）工艺，实现三维堆叠的静态随机存储器原型电路；发展基于非冯诺依曼架构的二维半导体感存算融合新器件；研制数模混合的二维半导体微处理器芯片，并实现示范性应用验证。

考核指标：实现不少于 2 种二维半导体材料的 4 英寸单晶晶圆并转移至硅衬底，单晶覆盖率大于 99%。后端兼容关键器件工艺，温度低于 350 摄氏度（℃），二维半导体晶体管接触电阻 ≤ 100 欧姆·微米（ $\Omega\cdot\mu\text{m}$ ），逻辑门延迟时间 ≤ 100 皮秒（ps）。二维半导体感存算融合器件比特数不少于 8 位，开关功耗 ≤ 1 飞焦（fJ）。实现 4 位数模混合二维半导体微处理器芯片。

1.2 片上集成的高性能磁存储器研究（共性关键技术类）

研究内容：面向数据中心、高性能终端设备对高性能、低功耗、长寿命存储器的发展需求，研究片上集成的新型嵌入式磁存储器（MRAM）技术；研究新一代高性能 MRAM 存储器件的材料、结构、工艺、器件、模型、设计、评测等关键技术，建立新型高性能 MRAM 解决方案，研制高性能、长寿命原型存储芯片，

实现存储功能演示。

考核指标：设计新型嵌入式 MRAM 器件结构；完成关键材料工艺与器件集成，核心器件特征尺寸 ≤ 100 纳米（nm）、访问速度 ≤ 2 纳秒（ns）、写入功耗 ≤ 1 皮焦/比特（pJ/bit）、可擦写次数 $\geq 1 \times 10^{13}$ ；研发兼容互补金属-氧化物-半导体（CMOS）工艺的新型 MRAM 片上集成技术，实现全电控 64 千字节（KB）高性能 MRAM 原型芯片，数据保持时间 ≥ 10 年、存储数据抗磁场干扰能力大于 1 特斯拉，并演示其读写功能及抗磁场干扰能力。

1.3 新原理超低功耗存储器件与电路研究（青年科学家项目）

研究内容：面向集成电路对高速度、低功耗、高能效、高可靠性的需求，研究基于极化翻转新原理的超低功耗存储器件与电路。内容包括研究新原理超低功耗器件在物理、材料、动力学和可靠性层面的机制；研究新型材料技术和器件结构，可制备基于硅基和新材料的超低功耗器件；协同优化器件的能耗、速度、工作电压、耐久性与保持性；研究基于新原理超低功耗器件的非冯诺依曼架构的电路设计方法，并探索基于 CMOS 工艺平台的集成方法。

考核指标（下述两项考核指标完成 1 项或多项）：（1）制备基于硅沟道的新原理超低功耗存储器件，栅长 ≤ 30 纳米（nm），单比特操作功耗 ≤ 1 飞焦（fJ），读写速度 ≤ 10 纳秒（ns），循环

耐久性 $\geq 10^8$ ，数据保持性 ≥ 10 年；（2）制备基于新材料的新原理超低功耗存储器件，单比特操作功耗 ≤ 10 飞焦（fJ），读写速度 ≤ 30 纳秒（ns），循环耐久性 $\geq 10^{10}$ ，数据保持性 ≥ 10 年。

2. 智能与敏捷设计方法

2.1 芯片可靠性和良率导向设计方法研究（共性关键技术类）

研究内容：针对先进工艺芯片，从器件可靠性机理出发，研究影响芯片可靠性的各类物理机制和可靠性模型；开发可靠性导向设计方法和 EDA 技术，包括可靠性模型快速提取方法、可靠性快速仿真技术；开发良率导向设计方法和 EDA 技术，包括新型高良率分析方法、新型灵敏度分析方法和良率快速仿真技术。研制 2 种 EDA 工具并在实际产品中应用验证，形成 1 套联动芯片可靠性、良率、性能和功耗的芯片设计流程。

考核指标：研制快速可靠性仿真和良率分析 EDA 工具，其中：（1）可靠性仿真工具，支持客户自定义，和国际主流仿真工具相比，在仿真精度一致的情况下，对百万门以上电路的后仿速度提升 100%以上；（2）良率分析工具，支持 100000 以上设计变量，支持 3sigma 以上的良率评估分析，快速瞬态仿真的灵敏度分析方法比传统蒙特卡洛方法速度提高 10 倍以上。以上 2 种工具在存储器和 SoC 芯片等产品中实现应用验证。

2.2 寄存器传输级安全分析方法研究（青年科学家项目）

研究内容：针对芯片在寄存器传输级（RTL）代码开发或者第三方 IP 核中存在的设计缺陷以及恶意逻辑，研究 RTL 层级安全漏洞分析方法，包括关键链路抽取技术、低活性节点定位技术、状态空间重构及分析技术、动态安全检测技术、硬件安全形式化验证技术和恶意逻辑精准定位技术，开发相关 EDA 工具。

考核指标：研制 RTL 层级安全漏洞分析工具，关键链路分析深度 ≥ 500 等效门/bit，低活性节点提取覆盖率 $\geq 95\%$ ，有限状态机重构率 $>90\%$ ，安全形式化建模支持规模 >100000 门，支持 5 种以上安全属性自动提取，在线动态检测准确度 $\geq 95\%$ ，恶意逻辑定位精度达到 bit 级。

2.3 基于强化学习的布图规划设计方法研究(青年科学家项目)

研究内容：面向集成电路规模呈指数级增长对布图规划（Floorplan）智能化的需求，研究基于强化学习的布图规划方法，设计布局状态空间和动作空间的有效表示和交互关系；研究设计奖励函数以及策略优化算法，在保证有效学习宏模块布局策略的同时，降低运行时间和算力要求；研究领域自适应策略，满足算法在不同工艺节点，多种类型设计的可迁移性。

考核指标：研制基于强化学习的布图规划算法，实现 1000 个宏模块以上的布图规划，相比于 2021 年 Google 公司发表的方法，线长、拥塞和时延等主要性能指标均提升 10%以上。

3. 新应用驱动的电路技术

3.1 面向下一代移动通信基站的高性能毫米波收发机芯片研究（共性关键技术类）

研究内容：面向 5G/6G 毫米波无线通信基站端应用需求，研制支持多频点大带宽的高性能毫米波基站收发机芯片；研究毫米波多频点大带宽可重构多通道收发机前端架构，研究毫米波芯片关键电路宽带化技术，研究毫米波高精度幅相控制技术，研究大带宽/多频带低噪声接收机前端方案，研究大带宽功率放大器线性化技术，研究高性能大带宽频率变换技术，探索大带宽/多频带多通道发射机方案，研究阵列前端多波束赋形技术，研究毫米波封装与系统集成等关键技术研究，研究高速数字基带处理技术。

考核指标：实现 1 款支持多频点大带宽的高性能毫米波基站收发机芯片；芯片工作频率覆盖 26/28/37/39GHz 频段，通信数据传输率不低于 5Gbps，可支持基带带宽不低于 400MHz，最高支持 256-QAM 高阶调制方式；基于该芯片完成通信样机及其演示系统，通信距离大于 100 米。

3.2 处理器宽电压弹性设计关键技术研究（共性关键技术类）

研究内容：面向处理器高性能、高能效需求，开展宽电压弹性设计技术研究。研究宽电压单元、宽电压存储器等关键电路；研究 PVTa（工艺偏差、电压波动、温度和老化效应）监

测电路，通过片上实时监测 PVTa 及自适应时钟电路，在快速偏差发生时，实现电压-频率调节；研究自适应高能效架构技术，实现误差容忍/补偿的计算。并将上述技术应用于高能效 AI 处理器设计。

考核指标：研制宽电压弹性设计关键技术，并应用于高能效 AI 处理器：（1）宽电压工作，逻辑和存储器工作电压范围是标准电源电压的 0.6~1.2 倍；（2）支持片上实时 PVTa 监测，其中电压陡降（droop）监测的电压测量精度 $\leq 10\text{mV}$ ，最高采样率 2GHz，支持自适应电压-频率调节，近阈值区时钟频率提升 $>80\%$ ，自适应时钟调节速度 ≤ 2 个周期；（3）动态 PVT 自适应计算架构，硬件电路可根据 PVT 和任务变化灵活重构数据通道；（4）应用于高能效无人系统 AI 处理器，峰值计算能效 $\geq 50\text{TOPS/W}$ 。

3.3 超低功耗后量子密码处理芯片技术研究（共性关键技术类）

研究内容：围绕后量子密码（PQC）芯片技术在物联网（IoT）领域的应用需求，开展从算法、架构到电路 3 个层次的超低功耗实现和抗攻击技术研究：研究基于多变量/编码/格的硬件友好型后量子核心密码算法；研究适用于后量子算法的超低功耗专用处理器架构创新技术，包括超低功耗取指结构、运算结构与存储结构等；针对后量子密码处理器关键电路的需求，研究包括数字化攻击检测和真随机数发生器（TRNG）在内的关键电路超低功耗

设计技术；研究超低功耗后量子密码处理器的汇编器与模拟器设计技术。基于上述研究工作，构建面向 5G 边缘应用的后量子安全的软硬件应用系统。

考核指标：完成 3 款不同类型的后量子密码（PQC）处理芯片研究，并实现基于后量子密码芯片的应用示范系统。（1）基于格的后量子密码处理芯片：支持至少 3 种格密码算法，最低工作功耗小于 $500\mu\text{W}@10\text{MHz}$ 。有效检测至少 3 种故障注入攻击，检测精度能够达到 99%。（2）超低功耗后量子密码处理器芯片：针对国内外至少 4 种主流算法，最低工作功耗小于 $10\text{mW}@10\text{MHz}$ ，并提供自主开发的处理器汇编器与模拟器。（3）集成真随机数发生器（TRNG）的后量子密码处理芯片，其中 TRNG 最高原始数据率不低于 1.6Gbps，最低内核工作能耗不高于 6pJ/bit，通过国内外标准测试，具备抵抗电压、温度、频率之中至少 1 种物理攻击的能力。（4）后量子密码处理器芯片示范应用：面向 5G 边缘计算的 IoT 网关安全服务应用，执行密钥封装协议的延时低于 100ms，执行签名协议的延时低于 60ms。

3.4 高精度多模态电信号采集芯片与集成系统研究（共性关键技术）

研究内容：面向高分辨率智能传感的应用需求，研发高精度多模态电信号采集专用芯片及其集成系统：兼顾精度、功耗、多

模态、智能化的微弱电信号传感电路实现技术；高精度阻抗测量模拟前端电路实现技术；大动态输入范围光电传感模拟前端电路实现技术，低功耗片上电信号特征分类和提取算法与电路实现技术；高精度模数转换器设计技术；高能效全集成电源管理技术。

考核指标：实现高分辨率多模态微弱电信号智能传感集成芯片，支持通道数 ≥ 128 ，电压采集通道，噪声 $\leq 1\mu\text{V}_{\text{rms}}$ ，ADC 的 SNDR $\geq 90\text{dB}$ ；阻抗采集通道输入阻抗 $\geq 50\text{M}\Omega@50\text{kHz}$ ，噪声 $\leq 5\text{m}\Omega\text{V}_{\text{rms}}$ ；光信号采集通道输入动态范围 $\geq 120\text{dB}$ ；片上实现不少于 3 种微弱电信号特征分类提取算法；集成 3 路输出的能量转换器，峰值效率 $>90\%$ ，实现多模态微弱电信号采集 SoC 芯片集成和示范应用。

3.5 液氮 77K 低温处理器芯片研究（青年科学家项目）

研究内容：面向高性能/智能计算应用需求，探索液氮 77K 低温环境中计算/存储芯片技术路径。研究液氮 77K 器件模型、电路和片上存储器等关键技术，开发低温 CMOS 器件 SPICE 模型、标准单元电路和 SRAM 存储器，研制 77K 低温微处理器芯片；突破液氮 77K DRAM 芯片架构、器件模型、电路等关键技术，开发低温器件 SPICE 模型、DRAM 存储电路及接口电路，研制 77K DRAM 芯片。

考核指标：采用先进工艺，设计低温 77K AI 处理器原型芯片，

4 比特整数型主流神经网络下峰值能效超过 20TOPS/W。设计低温 77K DRAM 芯片，访问能效较常温设计提升 5 倍以上。

3.6 高密度毫米波太赫兹多波束芯片研究（青年科学家项目）

研究内容：实现工作在 100 GHz 以上的，面向未来 5.5 G/6G 通信的高效率集成太赫兹多通道收发机系统。探究太赫兹硅基高精度时延/移相设计技术，研究太赫兹低插损高速开关结构，研究发射机系统高效率技术和提升功率回退效率的方法；研究发射机系统快速波束赋形技术；研究接收机前端系统低功耗技术；研究高性能太赫兹无源器件结构与优化设计方法；研究上下行非对称太赫兹收发机架构。

考核指标：研制基于 CMOS 工艺、工作频率在 100 GHz 以上的通信收发芯片，发射机芯片通道数不低于 8 个，收发机前端数据传输率不低于 10Gbps，接收机单通道功耗小于 200 mW，支持 E/H 平面+30°/-30°单波束赋形扫描，发射机 EIRP > 20 dBm。

3.7 高能效整数/浮点存内计算技术研究（青年科学家项目，拟支持 2 项）

研究内容：针对片上通用边缘端网络推理和高能效训练应用，突破存内计算支持高能效整数型计算或者浮点型计算关键技术，研究存内计算芯片高能效整数型计算或浮点型计算范式的新机制，设计高能效整数存内计算电路或高能效存内浮点计

算电路，研制基于 SRAM 的高能效整数型或浮点型计算的存内计算芯片。

考核指标：研制基于 SRAM 的高能效整数型存内计算芯片，支持边缘端通用神经网络，在 28nm 工艺下，8 比特整数型主流神经网络下峰值能效超过 35 TOPS/W，面积效率超过 100 GOPS/mm²。或研制基于 SRAM 的高能效浮点型存内计算芯片，支持推理和训练，在 28nm 工艺下，16 比特浮点型主流神经网络下峰值能效超过 3 TFLOPS/W，面积效率超过 60 GFLOPS/mm²。

3.8 智能物联网芯片自供电技术研究（青年科学家项目，拟支持 2 项）

研究内容：面向智能物联网（AIoT）的能量供应，围绕大幅增加电池寿命，突破低阈值下能量采集效率受限等瓶颈问题，基于标准 CMOS 工艺，开展如下研究：压电能量采集器阵列架构、高效率压电能量翻转技术、超低输入电压情况下的压电采集器自启动技术；片上太阳能采集和电压转化技术、多源共同采集互惠技术；高功率动态范围、高能效片上直流电压转化技术，低功耗最大功率点追踪技术，将采集到的能量高效转化输出；完成上述关键技术的系统解决方案，实现集片上太阳能采集和压电能量采集一体的超低功耗多源能量收集芯片应用演示系统。

考核指标：压电能量功率提升率（输出功率较标准全桥整流

器输出功率的提升率， $\text{MOPIR}) > 7$ ，压电采集器启动电压 $< 0.5\text{V}$ 。实现在标准 CMOS 工艺芯片集成光电二极管采集太阳能的功能，且光电二极管输出功率 $> 120\mu\text{W}/\text{mm}^2$ 。采用全集成片上直流电压转化和最大功率点追踪技术，实现太阳能和震动能同时采集，并且能实现多输入和多输出功能，压电系统输入能量源数量 ≥ 3 并且系统输出电平数量 ≥ 3 ，输出功率动态范围（最大输出功率与最小输出功率之比） $\geq 10^3$ 。

3.9 面向芯粒的高密度功率转换器电路研究（青年科学家项目，拟支持 2 项）

研究内容：聚焦 Chiplet 应用的高密度功率转换器系统架构、系统集成及控制方法，研究高密度转换器混合拓扑架构技术，提升转换器功率密度极限；研究转换器快速响应大负载切换关键技术，优化供电余量，实现系统级效率提升；研究高密度功率转换器的系统集成方法，实现系统级功率密度提升。

考核指标：采用商用硅基 CMOS/BCD 工艺研制出高密度高效率功率转换器芯片及系统，输入电压 5V ，输出电压范围 $0.6\sim 1.0\text{V}$ ，实现输出电流 10A 以上，峰值效率达到 93% ，芯片面积功率密度超过 $3\text{A}/\text{mm}^2$ ，在 60ns 内负载切换 6A 时输出瞬态欠压小于 100mV 。

3.10 面向芯粒的数字化宽频锁相环电路研究（青年科学家项

目，拟支持 2 项)

研究内容：面向 Chiplet 集成应用，聚焦研究宽频超低功耗锁相环 IP 核共性支撑技术。研究全数字锁相环系统与架构，包含高效率数字滤波器系统架构、环路噪声算法抑制技术；研究低电压低功耗宽频数字化模拟集成电路技术，包含宽带低压数控振荡器、低压高精度时间域量化器；研究低噪声全频带时钟分布和低噪声传输等技术。

考核指标：基于国内纳米级集成电路工艺，研制低压低功耗全数字宽频锁相环 IP 核。芯片频率输出范围覆盖 50MHz~6GHz，频率分辨率 $\leq 200\text{kHz}$ ；积分范围 1kHz~1GHz 内抖动 $\leq 200\text{fs}$ ；功耗 $\leq 20\text{mW}$ ；芯片总面积 $\leq 0.5\text{mm}^2$ 。

4. 模块化组装与集成

4.1 多芯片三维集成射频微系统研究（共性关键技术类）

研究内容：面向高集成度射频微系统需求，开发频谱感知多功能融合的异质多芯片三维集成技术，研究多芯片异质异构三维集成架构及标准接口设计方法；研究三维集成系统多物理场耦合协同设计与仿真方法；研究硅通孔（TSV）晶圆埋置重构、多腔异构转接板与堆叠的低损耗射频三维集成工艺技术；研究高效热管理与散热技术；依托自主可控规模三维集成工艺平台，开发多功能集成融合射频微系统模块规模制造方法。

考核指标：在 12 英寸工艺平台实现射频前端芯片、封装天线（AiP）、硅基微流道等异质异构微系统集成，堆叠层数 ≥ 4 ；Ka 波段工作频段 27~40GHz，正交一致性 $\geq 40\text{dB}$ ；V 波段工作频段 57~66GHz，瞬时带宽 $\geq 2\text{GHz}$ ；V、Ka 波段阵列规模均不低于 64；总功率 $\geq 1000\text{W}$ ，热流密度 $\geq 500\text{W}/\text{cm}^2$ 。利用 12 英寸晶圆加工和生产平台，完成 2 种硅基射频微系统产品中试。

4.2 晶圆级芯片系统级开发环境设计与验证研究（共性关键技术类）

研究内容：面向软件定义晶圆级芯片的快速开发与高效应用的需求，研究涵盖计算、存储和网络的基础算核库构建技术，设计领域专用的软硬件协同计算模型与系统架构；开展系统级仿真模型与验证方法、预制件选取及生成技术的研究，支持软硬件协同的系统架构设计与评估；研究启发式算法和强化学习结合的任务自动调度机制，研究基于主动认知的任务资源高效映射，构建面向异构资源的软件定义晶圆级芯片系统级开发环境。

考核指标：完成基础算核库的构建，支持仿真规模 ≥ 50 个芯粒预制件、芯粒预制件种类不少于 4 种、算力性能不小于 P 级的软件定义晶圆级芯片架构设计；研制 1 套软件定义晶圆级芯片开发环境，支持系统级仿真、验证与评估，并完成 3 种以上典型算法的高效部署实现；针对典型应用，相对于主流的 GCC 编译器，

效率提升 5 倍以上。

4.3 芯粒集成的统一网络架构和接口规范研究（共性关键技术类）

研究内容：面向软件定义晶上系统中晶圆互连基板的物理设计与逻辑开发标准化，研究高带宽、高灵活、高能效和低延迟的软件定义晶上互连网络架构，构建软件定义晶上互连网络通信模型与评估体系；研究支持计算、存储等异构芯粒多种通信需求的芯粒间互连接口规范，研究基于统一数据包格式的软件定义协议映射方法，实现灵活互连与高效集成；研制基于芯粒互连接口规范的晶上互连网络原型验证系统。

考核指标：基于国内自主工艺，晶圆互连网络支持 ≥ 100 个芯粒节点，支持 2 种以上层次化互连拓扑，支持容错寻路和拥塞控制机制；支持高、中、低 3 种间距密度的微凸点平面布局，间距密度 $\geq 120\mu\text{m}$ ，相邻芯粒互连间距 $\leq 200\mu\text{m}$ ；相邻芯粒互连延迟 $\leq 30\text{ns}$ ，单通道互连带宽 $\geq 6\text{Gbps}$ ，互连能效 $\leq 2\text{pJ/bit}$ ，支持软件定义通道划分与链路绑定，支持软件定义 IO 方向，支持常用片内总线协议与接口规范的软件定义映射。晶圆级芯粒互连接口行业标准提案 1 项；标准验证原型系统 1 套。

“先进计算与新兴软件”重点专项 2022 年度项目申报指南

为落实“十四五”期间国家科技创新有关部署安排，国家重点研发计划启动实施“先进计算与新兴软件”重点专项。根据本重点专项实施方案的部署，现提出 2022 年度项目申报指南。

本专项总体目标是：针对新型计算系统结构、新型存储架构、新兴软件与新兴计算场景，构建神经元计算系统、图计算系统、存算一体系统、拟态计算系统等新型计算系统，系统效能相比传统计算技术提升至少一个数量级；针对大规模数据存储与新型计算需求，研制内存池化与分布式存储、近数据处理与智能存储、持久数据存储系统等新型存储系统与关键技术，存储性能提升一个量级；突破软硬协同关键技术，在晶圆级集成、数据流、机密计算、云边端协同、自然人机交互等领域取得支撑技术突破，构建新型架构上的系统软件、人机物融合系统、软件智能化开发等生态体系，支撑我国信息技术和产业平稳快速发展。专项实施周期为 5 年（2022—2026 年）。

2022 年度指南部署坚持需求导向、问题导向，拟围绕新型计

算系统结构与系统、新型存储系统、领域专用软硬件协同计算系统、新兴软件与生态系统等 4 个技术方向，按照共性关键技术、青年科学家项目两个层面，启动 8 项指南任务，拟安排国拨经费 2.15 亿元。其中，青年科学家项目拟安排国拨经费 1200 万元，每个项目 400 万元。共性关键技术类项目配套经费与国拨经费比例不低于 1:1。

项目统一按指南二级标题（如 1.1）的研究方向申报。申报项目的研究内容必须涵盖二级标题下指南所列的全部研究内容和考核指标，实施周期不超过 3 年。共性关键技术类项目下设课题数不超过 5 个，项目参与单位总数不超过 10 家。项目设 1 名项目负责人，项目中每个课题设 1 名课题负责人。

青年科学家项目不再下设课题，项目所含参与单位总数不超过 3 家。项目设 1 名项目负责人，项目负责人年龄要求，男性应为 1984 年 1 月 1 日后出生，女性应为 1982 年 1 月 1 日后出生。原则上团队其他参与人员年龄要求同上。

除指南中特殊说明外，每个指南任务拟支持项目数为 1~2 项。

“拟支持项目数为 1~2 项”是指：在同一研究方向下，当出现申报项目评审结果前两位评价相近、技术路线明显不同的情况时，可同时支持 2 项。2 个项目将采取分两个阶段支持的方式，第一阶段完成后将对 2 个项目执行情况进行评估，根据评估结果确定

后续支持方式。

1. 新型计算系统结构与系统

1.1 感存算一体的神经元计算机系统（共性关键技术类）

研究内容：研究感存算一体的神经元计算模型及范式；设计并研制多感知融合和多模态信息处理的感存算一体芯片；研究动态可高度扩展的神经元计算机体系结构；研究神经元计算机计算资源调度与管理的软件技术；研制支撑神经元计算机运行的基础软件；研究基于多模态融合的神经计算算法；开展在“云-边”协同与边缘应用场景下的典型应用。

考核指标：研制感存算一体化的神经元计算机系统，包括神经元计算模型及范式、专用的感存算一体处理芯片、神经元计算机硬件系统、神经元计算机操作系统及其应用开发环境、面向神经元计算机的编程语言等，神经拟态硬件电路实现的神经元数量不少于 1 亿，实现 3 类以上感知信号的多模态处理能力，能效比现有系统提升 10 倍以上，峰值计算能力达到每秒 1P 突触运算。实现 2 个以上典型边缘应用场景。

1.2 面向近似计算的高效神经元计算系统（青年科学家项目）

研究内容：研究面向神经元芯片实现的神经元与突触近似计算单元架构；研究面向近似计算的神经元计算模型优化技术；研究高度动态可扩展的神经元近似计算框架；研究面向不同硬件实

现、不同计算模型的高效容错机制；研究面向计算机视觉、自然语言处理等典型应用场景的高效神经元计算原型系统。

考核指标：在相近精度与同等算例规模下相比传统计算设备计算功耗降低 50%以上、计算效率提升 100 倍以上；容错机制提供原型系统支持；支持动态调整任务精度-性能-功耗杠杆；支持 CNN、SNN、Transformer 等多个主流智能计算模型，并能够应用于 3 种以上主流神经元计算应用场景。

1.3 面向科学计算的量子计算算法与验证（青年科学家项目，拟支持 2 项）

研究内容：针对复杂科学计算快速高精度模拟需求，探索科学计算量子算法加速理论，研究量子有限体积法、量子牛顿法等科学计算技术，研究面向大规模数据的量子随机存储器，研究基于量子虚拟机的科学计算仿真应用，研究基于真实量子计算机的复杂科学计算算法验证。

考核指标：完成 2 种以上专用量子计算算法的软件实现，加速性能两个数量级以上；优化软硬件环境，实现高效量子计算模拟加速器，能够对 1000 节点以上的大规模网格进行流体仿真，为典型仿真提供支撑，计算精度满足应用需求；提供基于真实量子计算芯片的验证专用量子计算算法；提供 2 种量子虚拟机验证专用量子计算软件；提供 1 种可用于构建、优化、编译量子程序

的量子编程框架。

2. 新型存储系统

2.1 面向分布式异构计算系统内存池化关键技术（共性关键技术类）

研究内容：研究分布式异构内存池化技术提升数据密集型应用场景的效率和性能，实现计算架构从以 CPU 为中心到以数据为中心多计算引擎架构的变革，支持计算、内存解耦，实现独立扩展。研究分布式异构内存架构，实现单节点多层级混合内存扩展，具备跨节点内存数据高可用性能力，跨节点基于 RDMA 或自主协议的分布式异构内存池化，数据计算在内存池的计算引擎中完成；研究自主的高性能总线网络，实现 CPU、加速器和 I/O 设备由一致性高速互连网络连接，为内存池化提供互连保障；研究异构算力与数据处理模型间的亲和性，设计高效的任务调度机制和数据放置策略，充分发挥计算侧、存储侧、通信侧的多样化算力实现高通量数据处理，支持数据库、数据分析等应用，支持文件、块、对象存储服务。

考核指标：构建 1 套基于分布式异构计算内存池化为关键技术的计算系统，基于自主研发的网络支持超过 128 节点的集群规模，异构计算、分布式异构内存池可独立扩展，支持加速器计算引擎独立进行内存扩展，分布式异构内存池系统带宽可扩展，节

点间包含系统软件开销和传输开销的端对端通信延迟平均低于 $2\mu\text{s}$ ，99.9%的长尾延迟不超过 $20\mu\text{s}$ ，比现有的分布式内存系统通信延迟降低 3 倍以上。提交 CPU、加速器和 I/O 设备高速互连网络相关接口的标准 1 篇。实现多层级内存架构以及分布式内存池化技术使能规模化应用在百 TB 级内存中完成数据近实时性处理，支持持久化键值对存储系统、大型 AI 模型训练等典型数据密集型场景的应用验证。键值对存储系统读操作不低于 1 亿 ops，写操作不低于 2000 万 ops，比现有的分布式键值对存储系统吞吐率提高 5 倍以上。对比传统分布式计算架构，同等算力下百 TB 级大数据的大型 AI 模型训练等典型数据密集型应用性能提升 5 倍以上。

3. 领域专用软硬件协同计算系统

3.1 超异构软硬件协同计算统一框架（共性关键技术类）

研究内容：针对通用计算能力增长放缓、现有架构-工艺迭代下晶体管性能还未充分挖掘问题，研究超异构模式下的“算法-架构-工艺”跨层协同优化设计工具链，实现领域算法集合硬化成专用电路进行验证，包括：面向共性操作集合的参数化负载特征表达和提取工具、领域专用架构和算法参数空间的联合探索方法、领域专用架构设计描述、RTL 级别硬件电路的自动生成系统。超异构支持变结构计算，具备结构自适应及运行时动态优化特性。

开展领域专用加速系统的示范应用。

考核指标：共性操作集合涵盖高性能计算、大数据、人工智能等三个应用领域，形成不少于 3 个超异构可重构计算架构，能够变结构支撑不少于 30 种关键算法，相比通用处理器性能功耗比加速 2 个数量级以上；形成包括领域专用语言设计、面向超异构资源池的高效编译以及支持静态重构与动态优化的智能管理调度在内，能够实现不同算法高效部署与运行的全栈式软件工具链，领域专用架构描述语言和计算编程语言能够表达功能、结构和物理 3 个层面，设计开发周期缩短 50% 以上；负载提取算法支持混合静态分析和动态分析 2 种分析方法；设计空间探索技术同时考虑计算、存储、通信 3 类资源，支持连续变量空间和大量离散的整形变量空间的快速搜索。

3.2 多通道融合的自然人机交互系统（共性关键技术类）

研究内容：研究人-机-物融合环境中多通道融合自然人机交互的生理心理机制；研究舒适型类人感知的多模态动作和意图协同感知技术；研究支持无需穿戴设备的裸手触觉自然交互的视听触多感官时空一致融合高沉浸呈现技术；研究支持虚实融合操作的自然人机交互软件支撑环境；研制多通道融合多人协同的自然人机交互系统，并在虚实融合高沉浸式典型场景下开展示范应用。

考核指标：研制多通道融合的自然人机交互系统。支持双手

十指协同自然交互手势和裸手触力觉反馈呈现；眼动跟踪精度 0.5 度，主观眼动意图识别正确率 75% 以上；支持柔软度、摩擦、纹理、温度、振动、形状等 5 种以上模态的多元融合裸手触觉呈现装置；支持多元触觉、三维力、三维力矩的融合呈现硬件平台；支持 50 平米大空间自由移动裸手触力觉交互；触力觉交互平均时延小于 10 毫秒；支持视听触多通道时空一致融合呈现；虚实融合操作软件所能支持的同步联动协同交互模式不少于 3 种，协同交互操作的语义理解准确率不低于 90%，协同交互响应延迟小于 30 毫秒；在虚实融合高沉浸式的智慧教育、智慧医疗、文旅等典型场景应用。

4. 新兴软件与生态系统

4.1 服务器无感知计算系统软件技术（共性关键技术类）

研究内容：研究以服务器无感知计算（Serverless）模式为核心的新一代微服务开发模式，研发面向新型服务器无感知计算模式的分层云原生系统软件栈，覆盖编程与开发模型、数据存储、资源管理、任务调度、基准测试等多层次；研究云原生环境下支持服务器无感知计算下多类型异构硬件资源的高效管理和分配，显著提高系统吞吐量，并降低服务时延；研究支持无状态函数和有状态函数的高性能运行时系统，根据应用需求提供多层次的一致性保证，在保证一致性前提下提高系统性能；研究面向多租户

资源竞争场景的云原生性能隔离技术，保障多租户运行无感知计算时的性能隔离，提高资源利用率；探索服务器无感知计算模式下的新型微服务运营模式，为科学计算、大数据、人工智能、Web 应用等多类型长、短服务场景提供高层函数服务开发接口，提高云服务的易用性；关键技术在大型云服务提供商验证并形成标准。

考核指标：针对特定典型负载的函数启动时延，其中冷启动降低 2 个数量级，热启动降低 1 倍以上。典型应用服务器无感知计算云原生计算模式相比传统计算模式端到端时延增幅不超过 20%、系统吞吐量降幅不超过 20%。突发流量场景下函数实例千倍自动扩展的时间开销达到秒级。典型云原生服务器无感知计算软件的开发过程中提供有状态和无状态的管理。提供至少 10 个以上服务器无感知计算基准，覆盖人工智能、Web 服务、大数据等多个领域。与同平台其他服务混部情况下，通过性能隔离方式提高 20% 吞吐量。可防御同平台不同实例间的信息泄露。关键技术验证服务规模不少于 10 万，形成 2 项服务器无感知计算相关标准。

4.2 基于云际计算的云监管与治理系统软件(共性关键技术类)

研究内容：针对云际计算全时全域的多样化存算和数据确权流通等复杂性需求，研究契约式横向跨域、由点及面协调地理分布资源的多方磋商机理，支持先进计算生态系统可持续成长演化

的动态重构；研究多目标优化的动态任务分配机制和接入资源并行调度方法，最大化释放计算基础设施效能，满足新兴应用工作流的多样化需求；研究大规模资源跨域协同交互的监控、度量和监管等支撑机制，形成联邦式多方计算治理体系；在突破上述关键科学问题和核心瓶颈技术基础上，形成云际计算系统软件的参考实现并开展示范应用。

考核指标：建立云际契约式横向跨域的分布连接模型，形成面向云际多样化场景需求的深度并行调度体系，设计 1 组面向关键环节技术的验证逻辑与评估方法；物化沉淀 1 组开源框架、工具和服务；在以全国一体化大数据中心协同创新体系为代表的数字经济产业中形成 3 个云际计算系统软件示范应用；云际计算覆盖的云服务主体 10 个以上，管理的计算节点不低于 10^5 量级，综合算力规模接近 1Eflops，支持 PB 级云际存储资源协同；形成 3 项云监管与治理系统相关标准。